

PLLにおける自己干渉の解析および自己インジェクションによる位相ノイズ低減手法の検討

◎小林 菜祐 吉村 勉

大阪工業大学大学院 工学研究科 電気電子工学専攻

(C02)

1. 背景

モジュールの高密度実装
チップサイズの縮小

干渉ノイズの顕在化
⇒従来手法では予測困難

自己干渉ノイズの
メカニズム解明と
低減手法の検討

2. PLL回路における線形モデルの提案

提案するノイズモデル

- ✓ ノイズ生成において印加タイミングの概念を導入
- ✓ 高調波次数の畳み込みを考慮

高周波ノイズが畳み込まれて低周波ノイズに反映(図1)

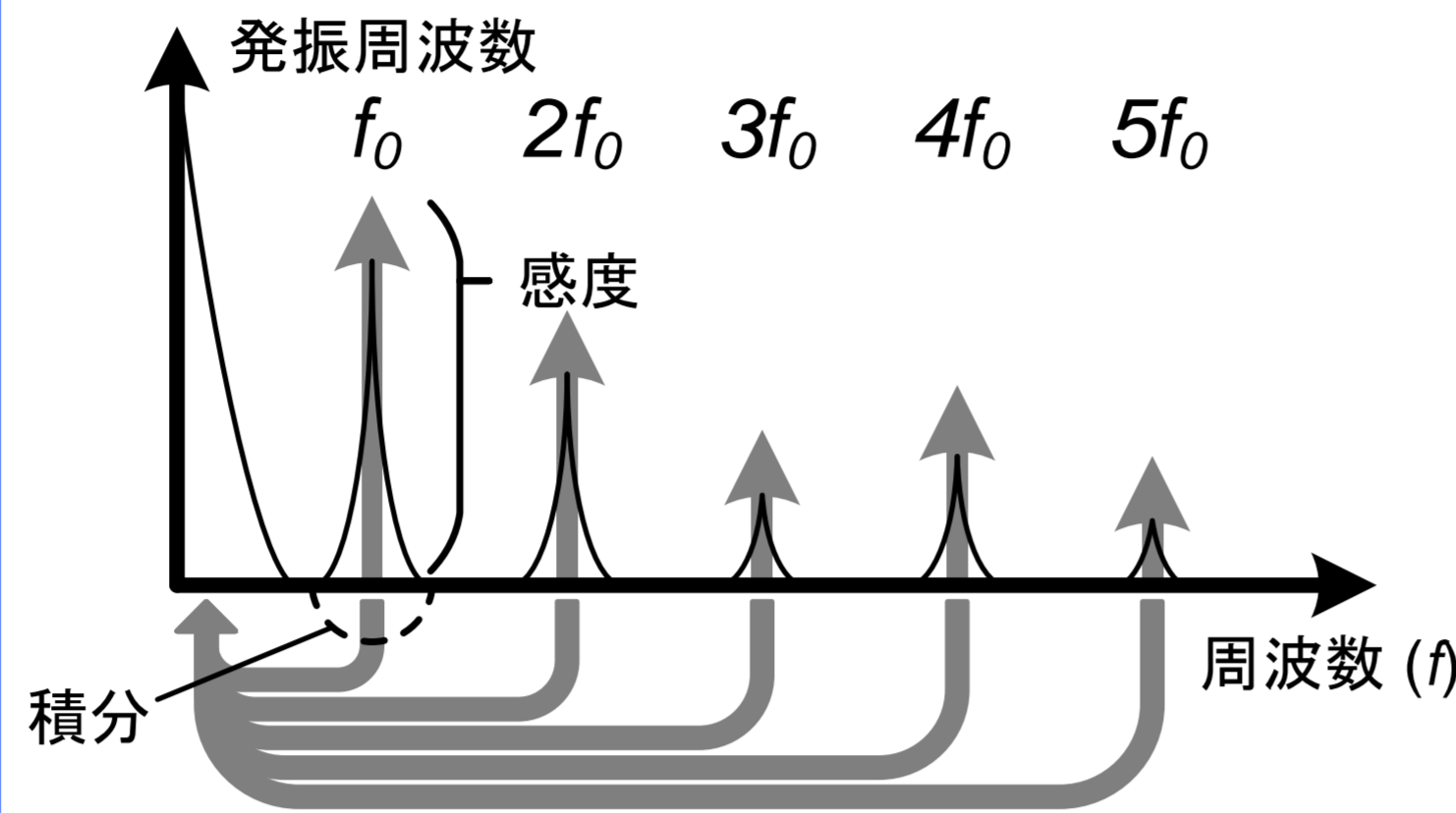


図1 外部ノイズが発振器に及ぼす影響[1]

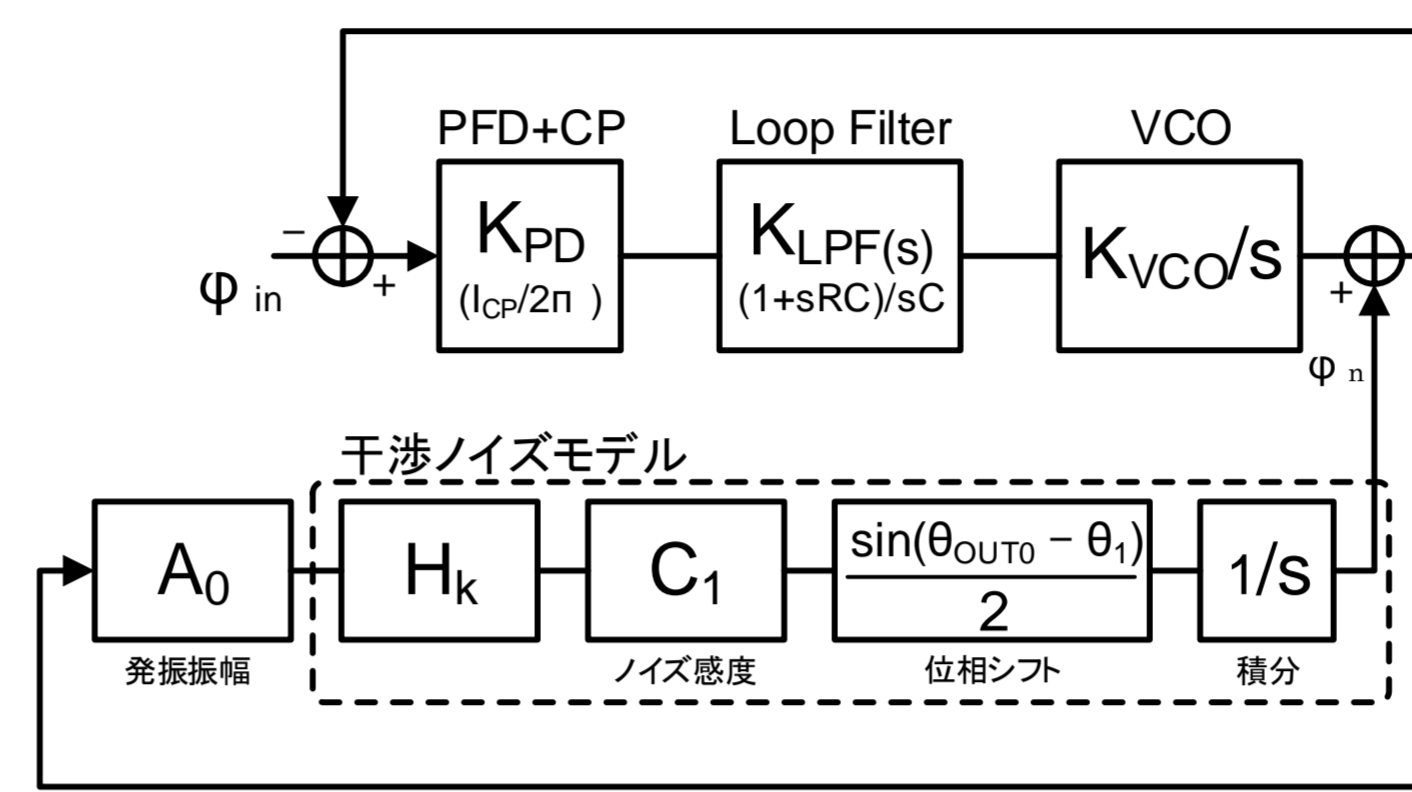


図2 PLL回路における自己干渉時線形モデル[1]

印加タイミングによってピークを持つ場合(正帰還)と帯域が狭くなる場合(負帰還)がある

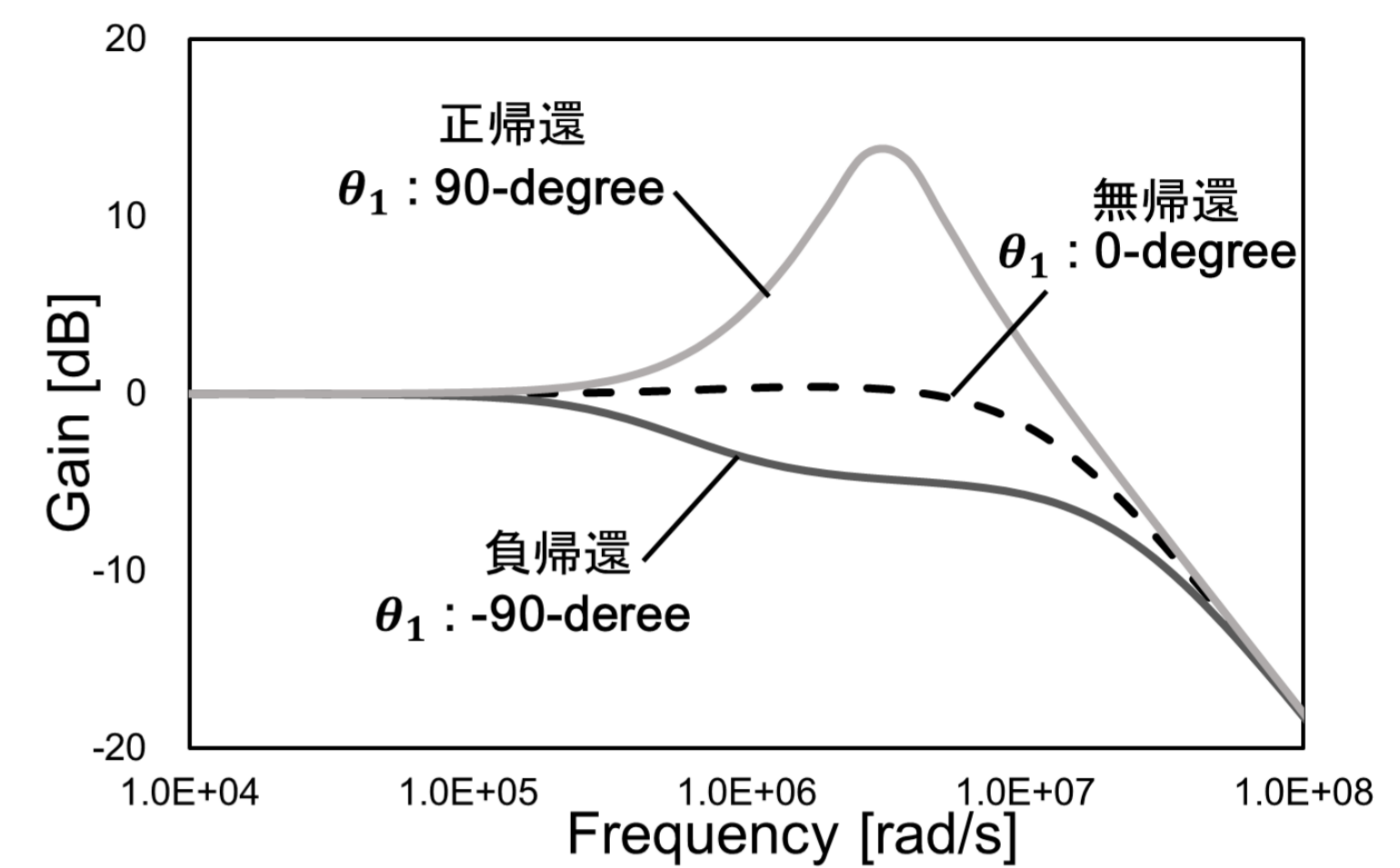


図3 自己干渉時のPLL出力応答[1]

3. BBMによる自己干渉ノイズ評価

自己干渉ノイズの影響を
BBM測定により解析

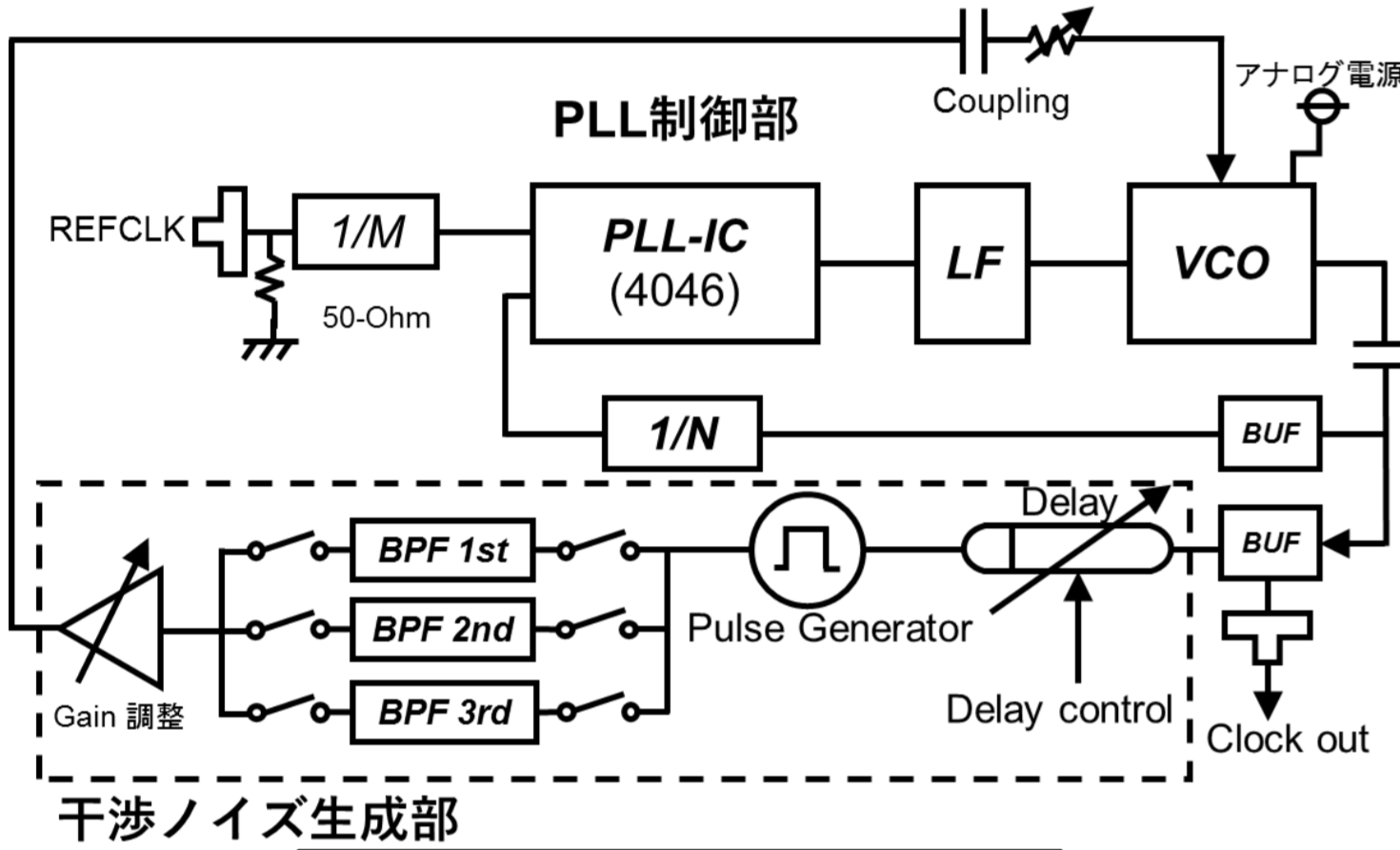


図4 専用基板によるブロック図概要

BBMの特徴

- ✓ PLL出力回り込み(自己干渉)のタイミングが調整可能
- ✓ フィルタによって各高調波次数に分解して影響を確認

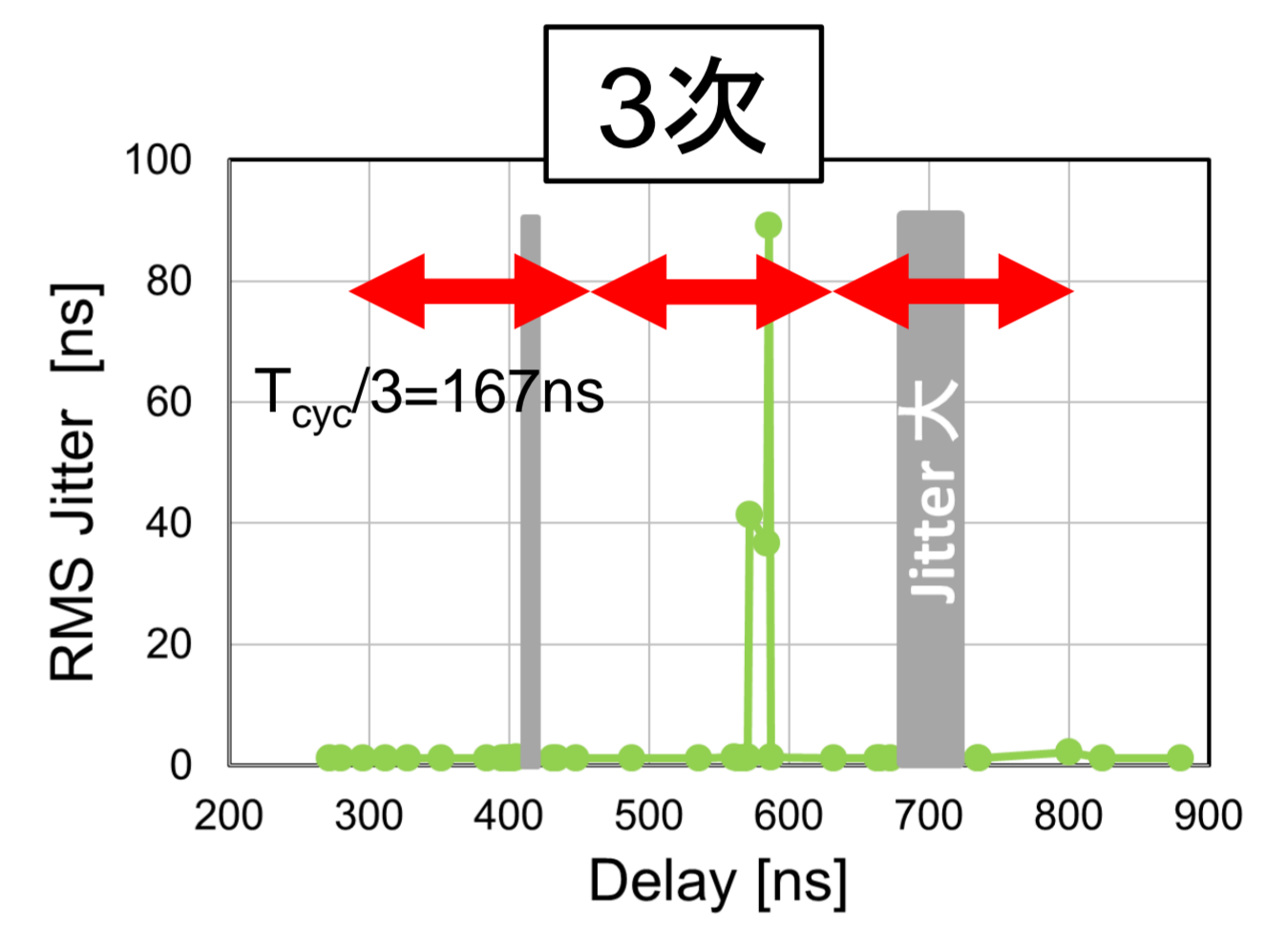
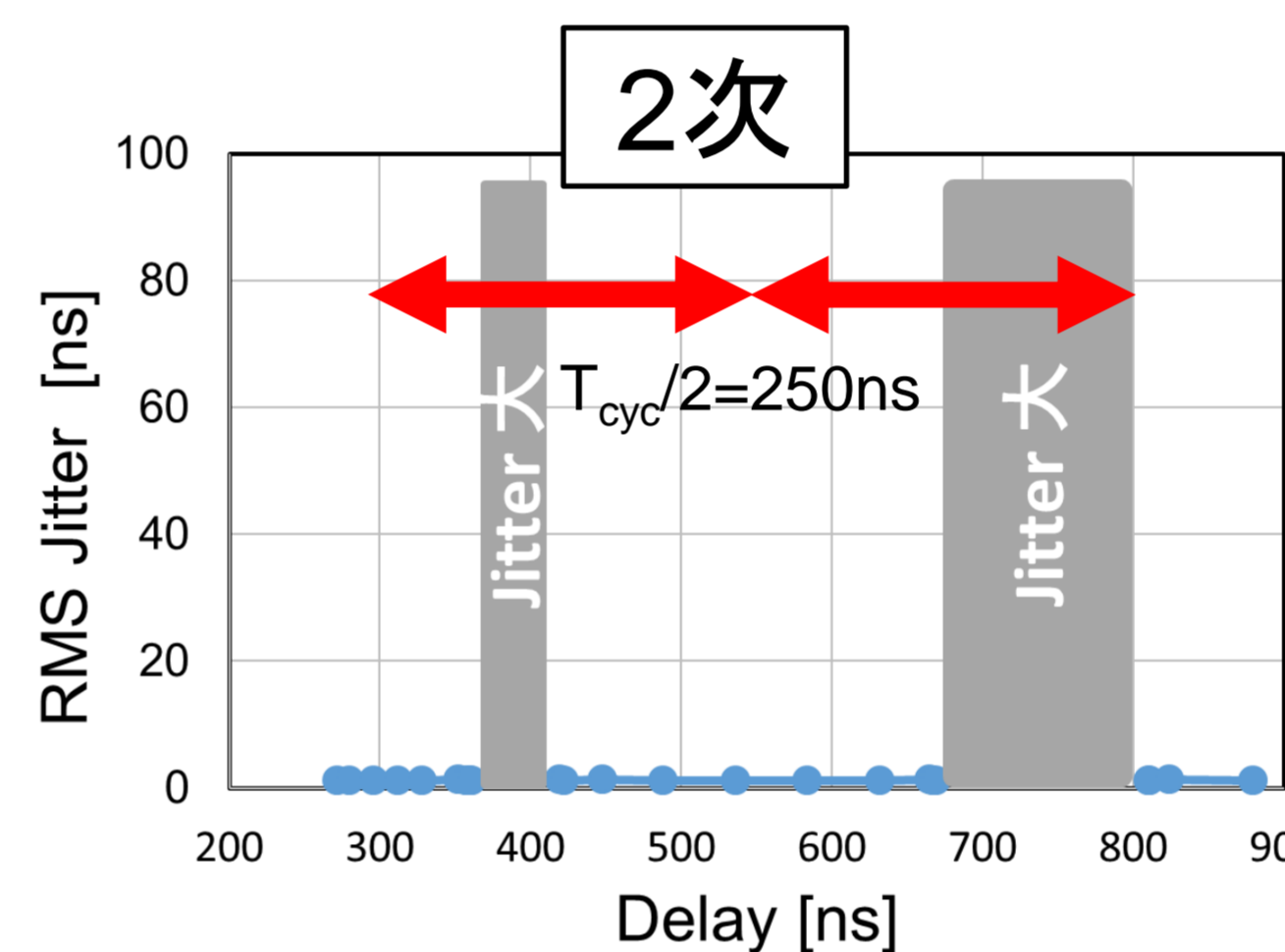
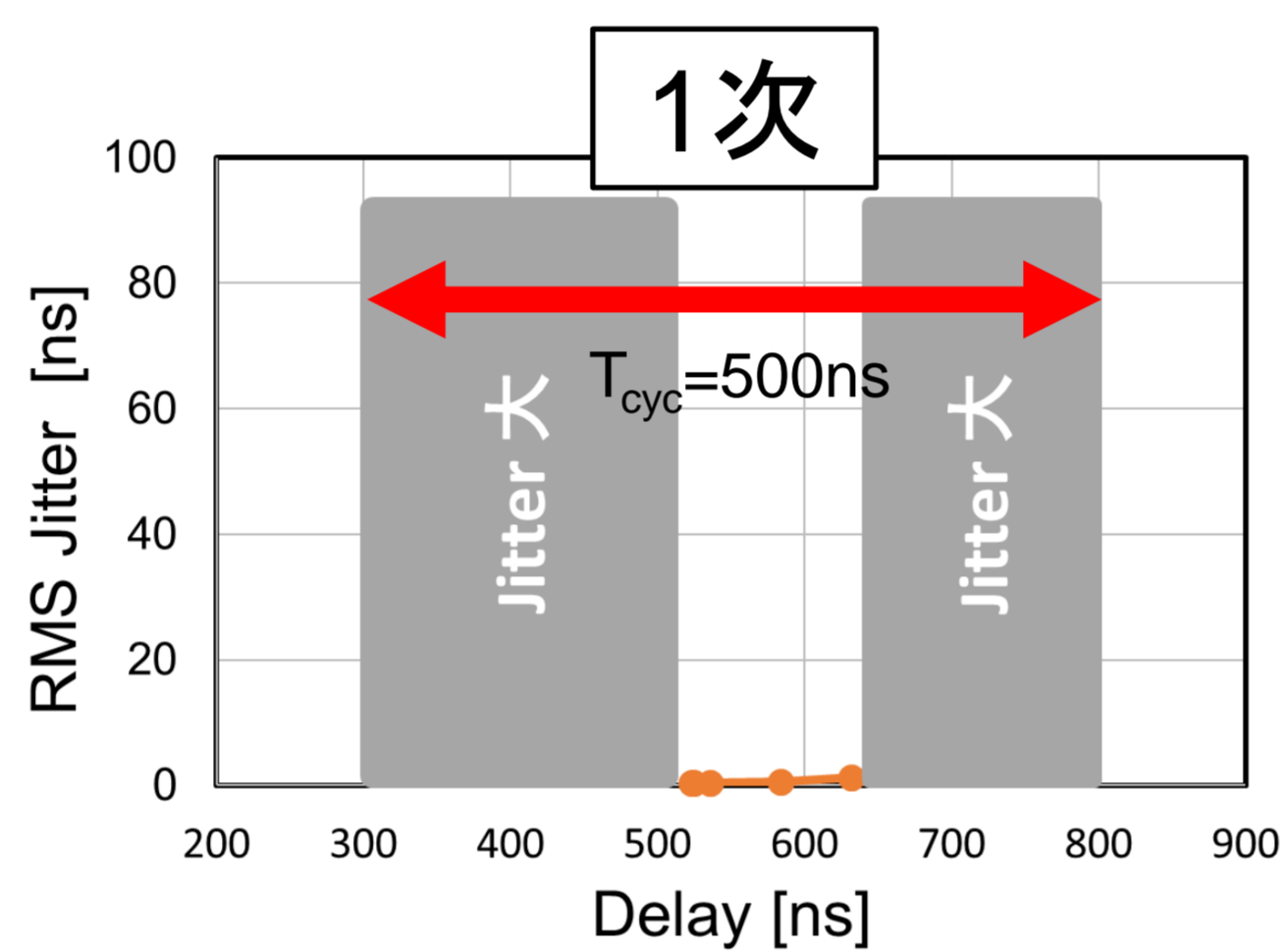


図5 各高調波成分による強度依存性

✓ 干渉ノイズの次数依存を測定
高調波次数NにおいてT_{cyc}/Nに
一度ジッタの増減を確認

4. 自己インジェクションによる小数分周スプリアスノイズ低減効果検証

検証回路の特徴

- ✓ ノイズ印加のタイミングを制御
- ✓ 発振器への電流パルスによる自己インジェクション

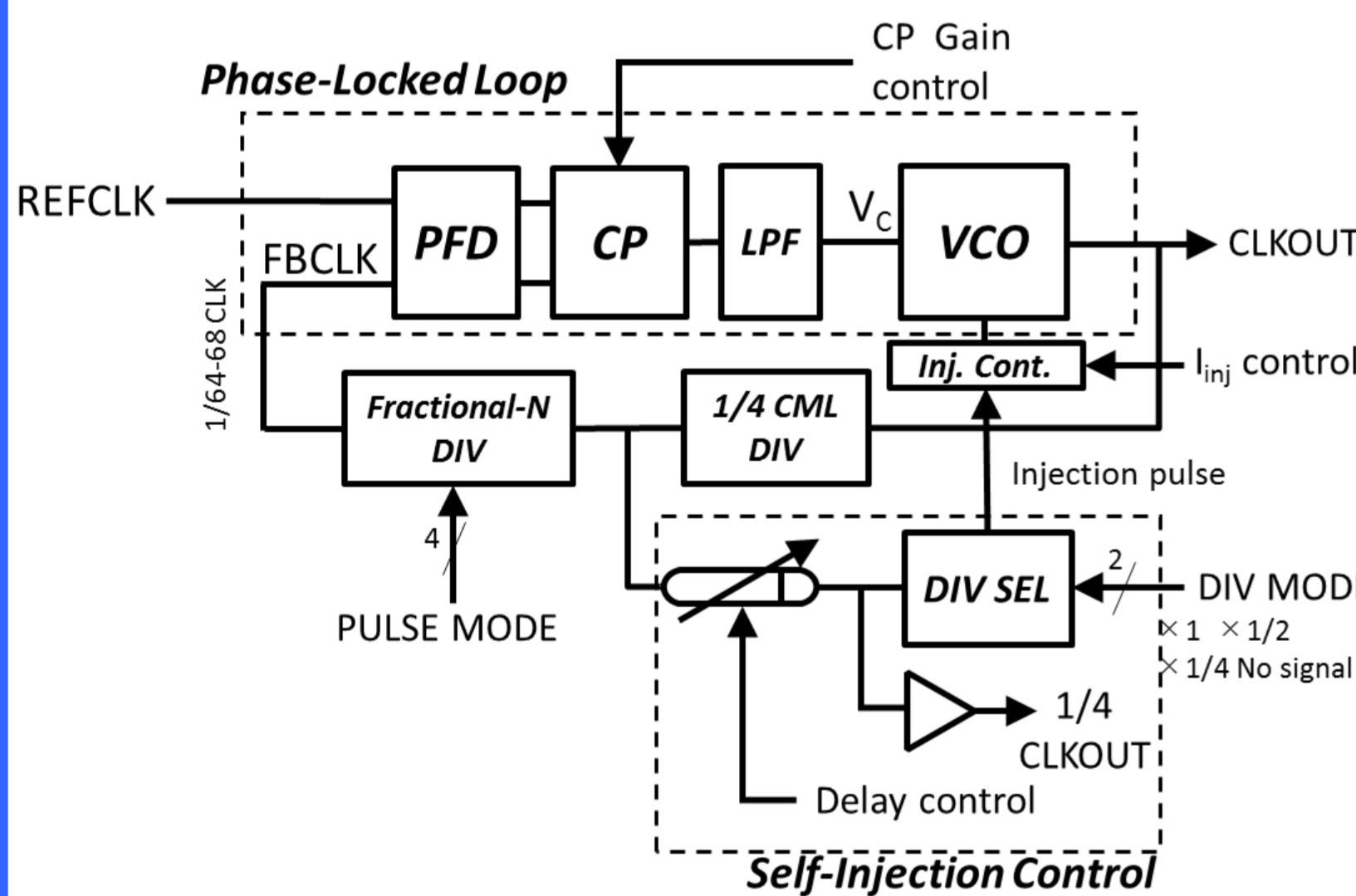


図6 スプリアスノイズ低減効果検証回路ブロック図

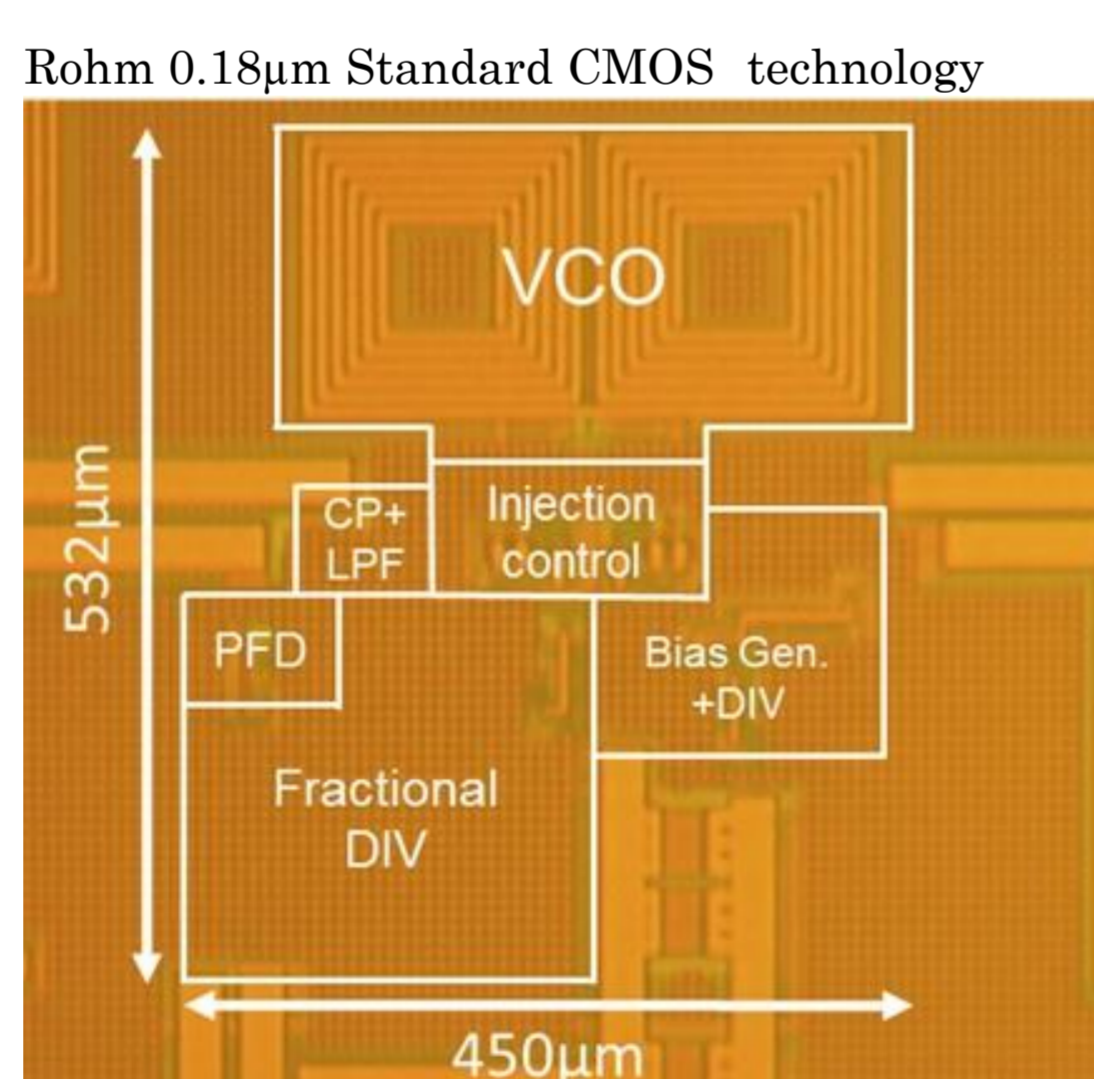


図7 検証テストチップ写真

目的

Fractional-N PLLのスプリアスノイズに
自己インジェクションを用いて低減する

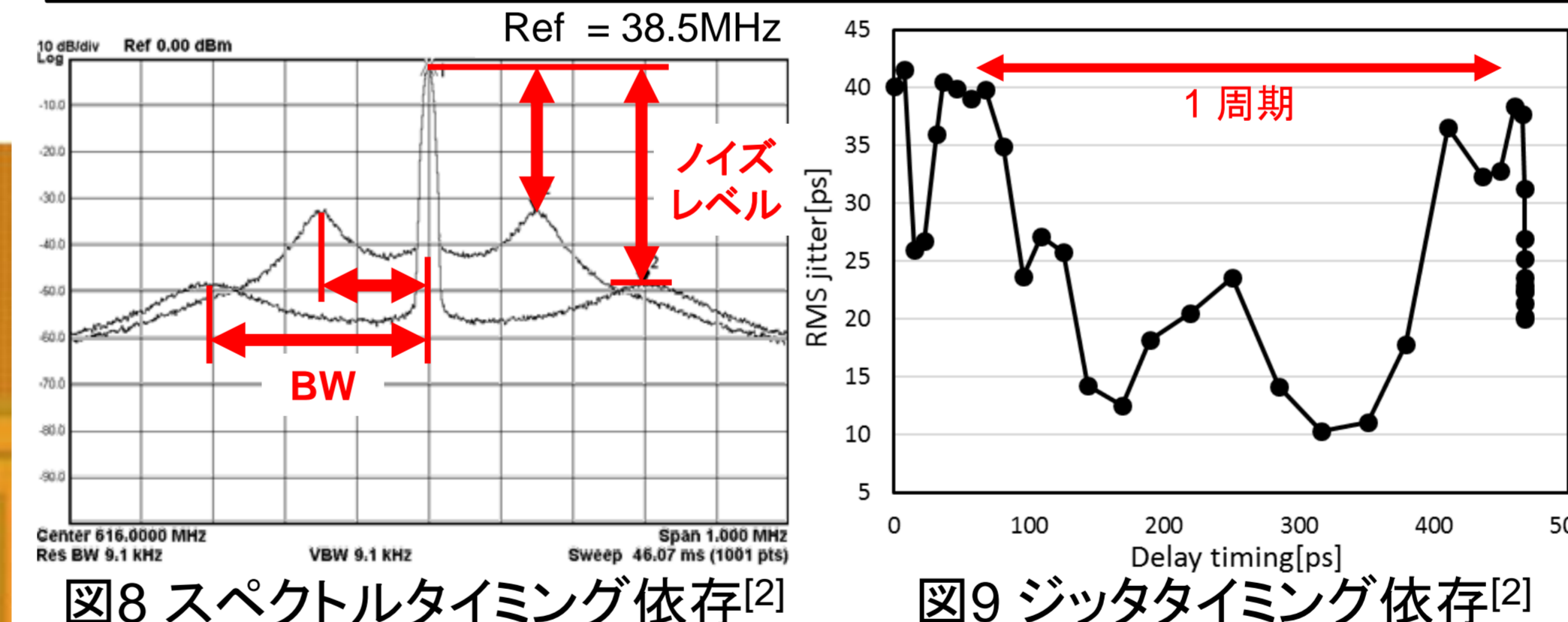


図8 スペクトルタイミング依存[2]

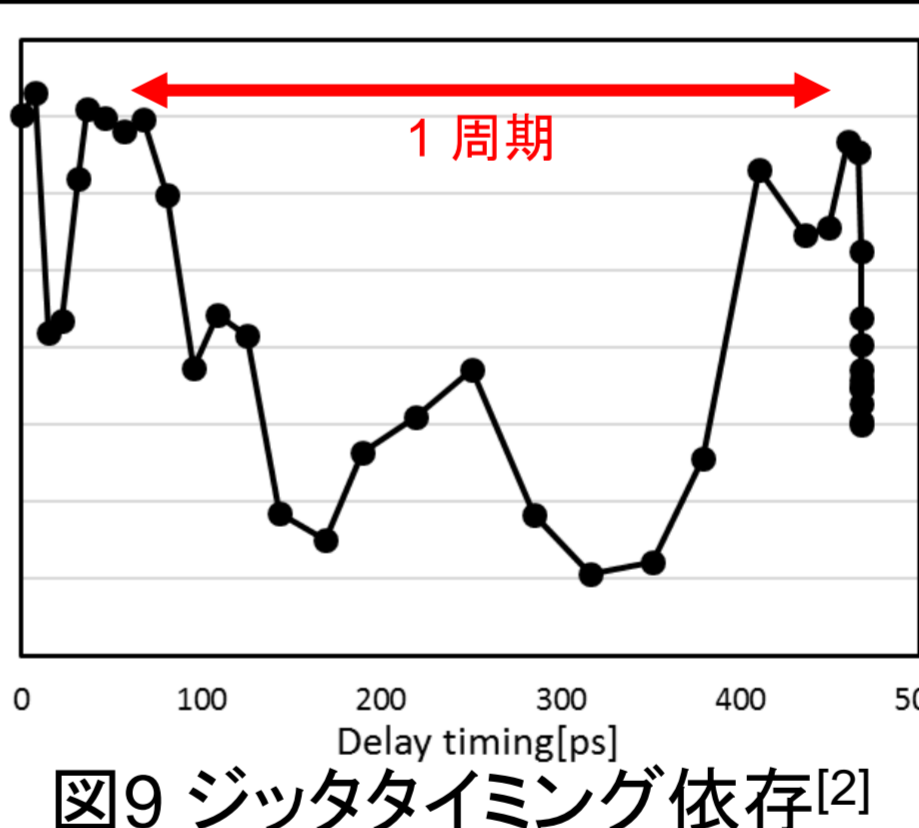


図9 ジッタタイミング依存[2]

表1 スプリアス低減結果[2]

分周率	66	65	64.5	64.25	64.125
周波数 [GHz]	2.5410	2.5025	2.4832	2.4736	2.4688
オフセット周波数 [MHz]	19.250	9.6250	4.8125	2.4062	1.2031
スプリアスレベル [dBc]	w/o INJ	-47.83	-39.43	-29.74	-20.83
	w. INJ	-48.88	-40.97	-31.08	-21.46
低減効果 [dB]		0.91	1.54	1.34	0.63

全ての分周率において
スプリアス低減を確認

- ✓ ノイズ印加タイミングによってPLL帯域幅が変化
- ✓ ほぼ同様なノイズレベルとジッタのタイミング依存性を確認
- ✓ 自己インジェクション適用により小数分周スプリアスが低減

5. 自己インジェクション応用回路の提案

新規回路の目的

基板を介する回り込み(自己干渉)ノイズ低減
に対する自己インジェクション効果の検証

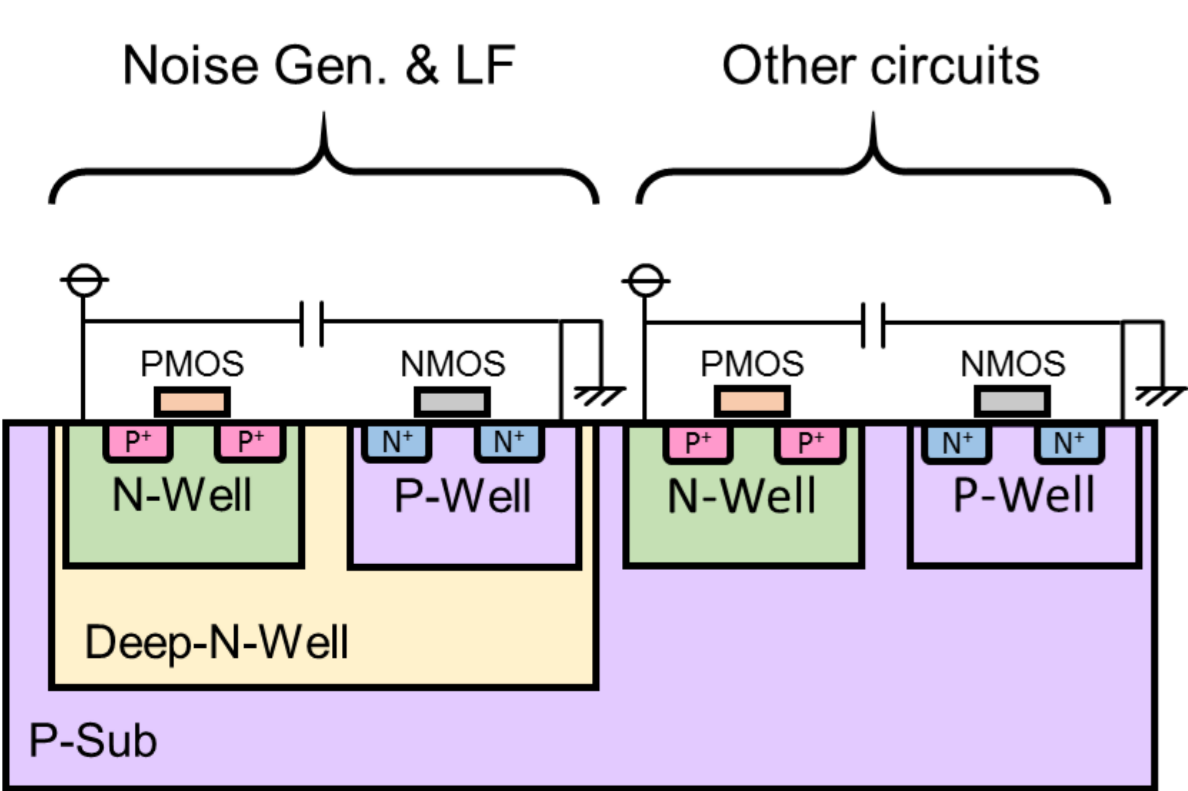


図10 基板断面概念図

Deep-N-Wellを用いて自己干渉
経路と他の回路をDC的に分離

- ✓ 生成したノイズを基板を介してLFに印加
- ✓ 発振器への電流パルスによる自己インジェクション

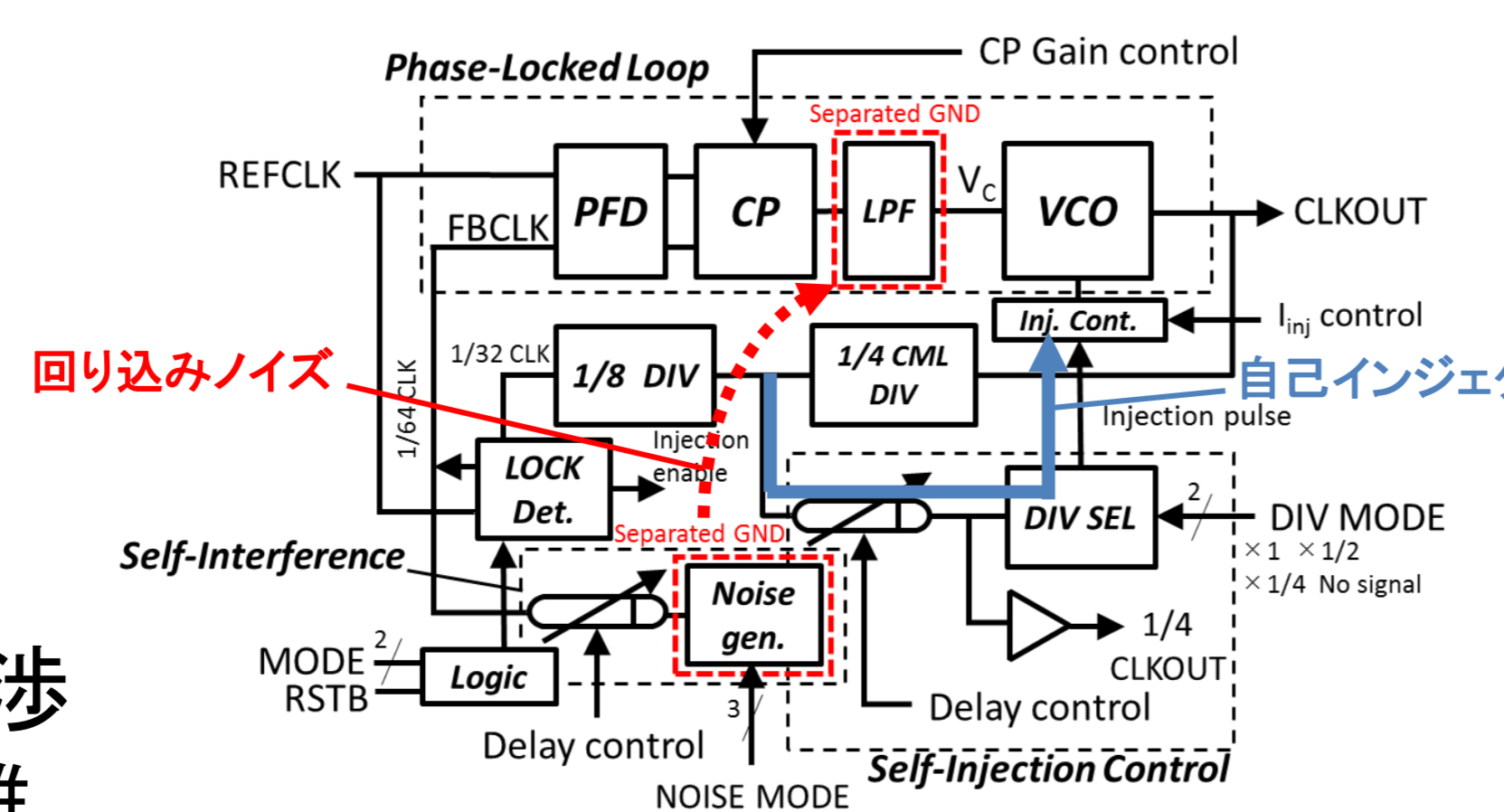


図11 自己干渉ノイズ低減効果検証回路ブロック図

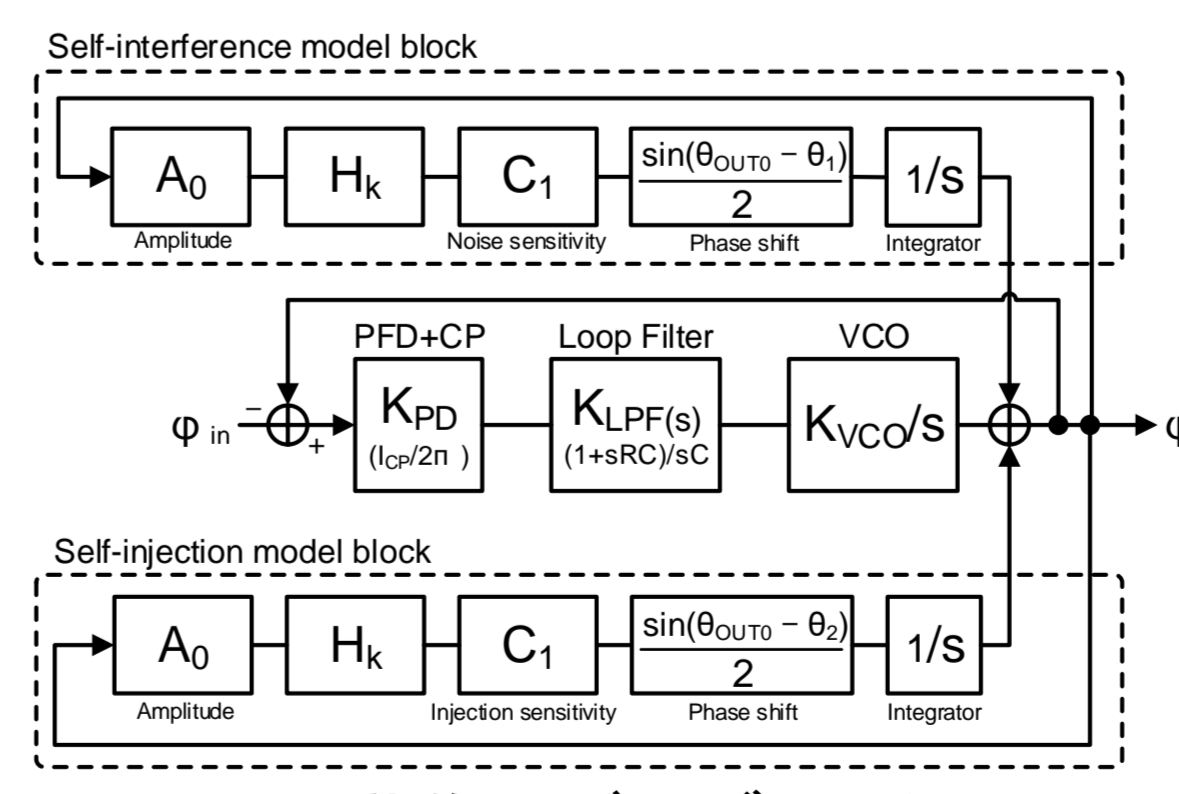


図12 動作モデルブロック図

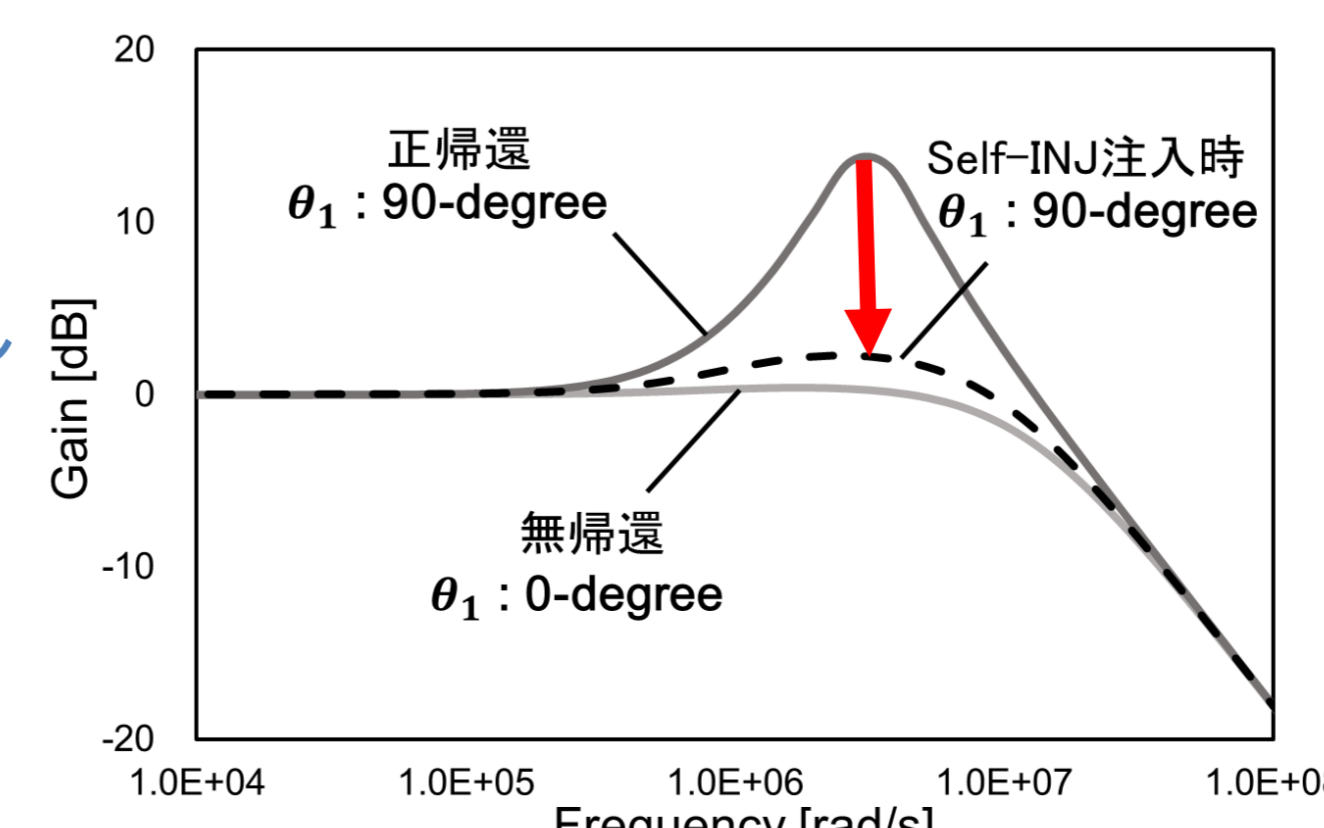


図13 自己インジェクション時入出力伝達特性

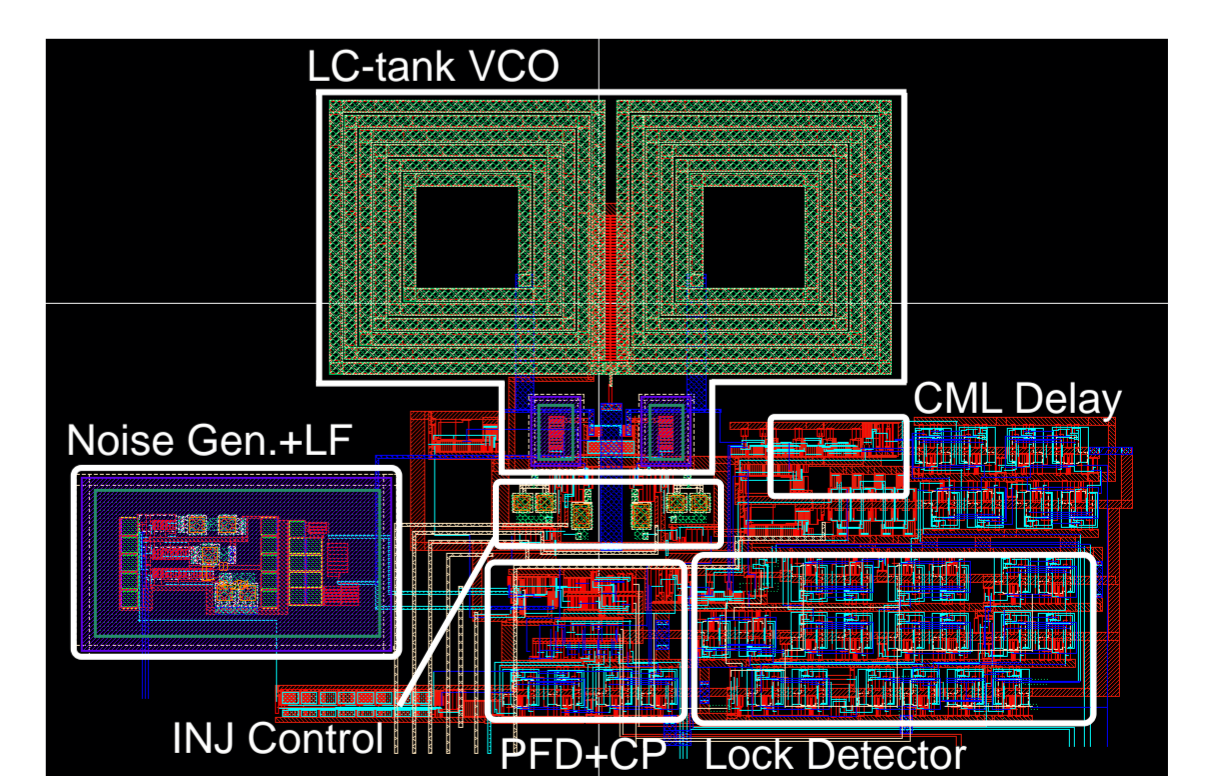


図15 テストチップレイアウト

- ✓ 自己インジェクションによる自己干渉ノイズの低減効果を観測するテストチップを作成
- ✓ モデルシミュレーションによりノイズの低減を確認
- ⇒ 今後、測定による検証を行う

[1] 小林 菜祐 ほか, 「位相同期回路における自己干渉と相互干渉の評価」, IEICE ソサイエティ大会, 2016

[2] Mayu Kobayashi et. al, "Supr Reduction by Self-Injection Loop in a Fractional-N PLL," in Proc. IEEE ICECS, 2017