

逡倍DLLを用いたインジェクションロックPLLの広帯域化に関する研究

大阪工業大学大学院 工学研究科 電気電子工学専攻

高周波回路工学研究室 増井 優也

1. 背景・目的

PLLの低ジッタ化

インジェクションロックPLL

[問題点]

PLLの逡倍数:大

ジッタの低減効果:小
ロックレンジ:狭

低周波参照クロックから高周波なインジェクションパルスを生成
⇒インジェクションロックに用いる

2. インジェクションロックPLL (IL-PLL)

インジェクションロックの数理モデルは

アドラー方程式で示すことができる^[1]

このアドラー方程式からインジェクションロックの線形モデルを示すことができる^[2]

$$H = \frac{\phi_{out}}{\phi_{in}} = \frac{K_{PD}K_{LF}(s) \frac{K_{VCO}}{s} + \frac{\omega_L \cos(\beta - \alpha)}{s}}{1 + K_{PD}K_{LF}(s) \frac{K_{VCO}}{s} + \frac{\omega_L \cos(\beta - \alpha)}{s}}$$

$$\frac{d\theta}{dt} = \omega_{osc}(t) - \omega_{inj} - \omega_L \sin\theta$$

$$= \frac{(2\zeta\omega_n + \omega_{Le})s + \omega_n^2}{s^2 + (2\zeta\omega_n + \omega_{Le})s + \omega_n^2}$$

ω_{osc} : 発振器のフリーラン角周波数
 ω_{inj} : インジェクション信号の角周波数
 ω_L : インジェクションロックレンジ
 ω_{Le} : 実効的なインジェクションロックレンジ
 θ : ω_{osc} と ω_{inj} のなす角度
 ζ : ダンピングファクタ
 ω_n : natural frequency
 α : インジェクションロック線形モデルの入力位相
 β : インジェクションロック線形モデルの出力位相

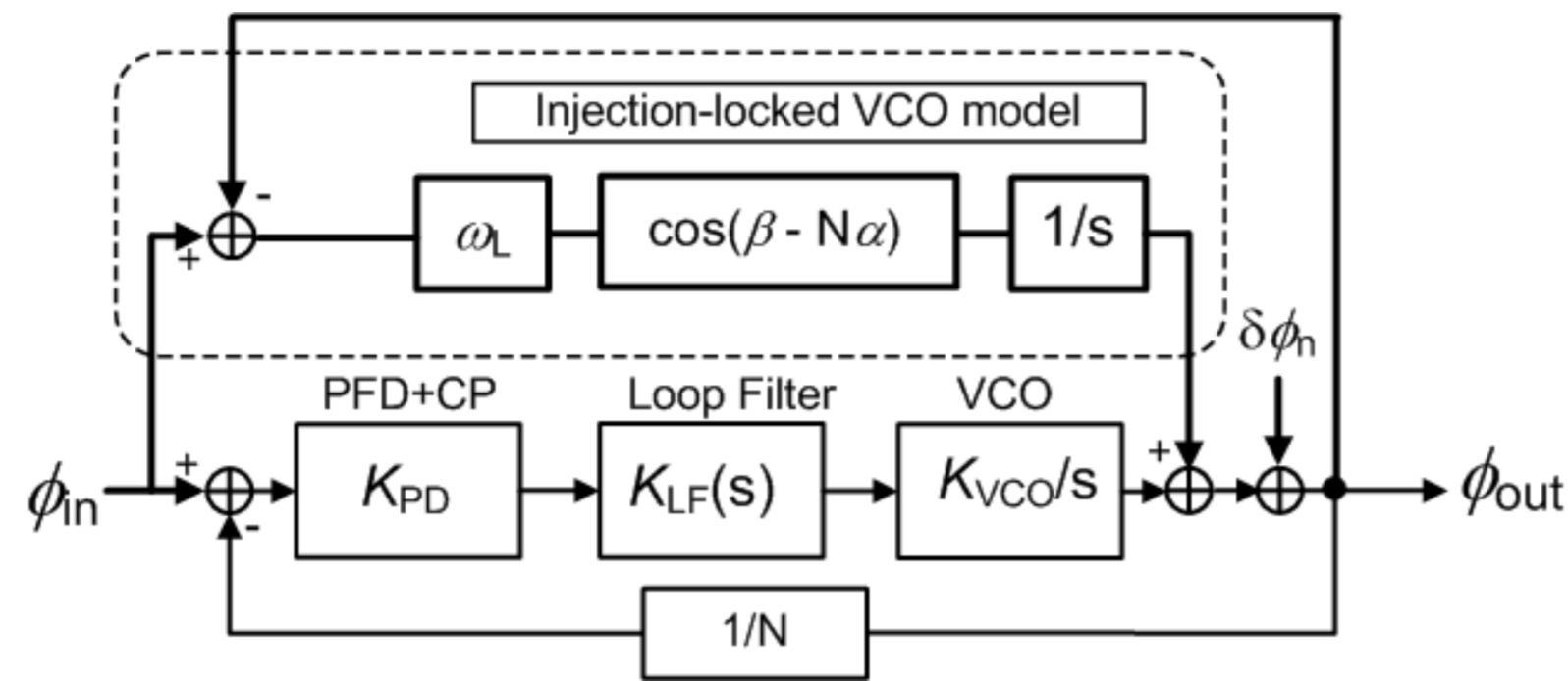


図1 インジェクションロックPLL線形モデル

$$PLL \text{ 帯域} = 2\zeta\omega_n + \omega_{Le}$$

$$\omega_{Le} = \omega_L \cos(\beta - \alpha)$$

入出力位相差によって実効的なPLL帯域が変化
⇒参照クロックのタイミング調整が必要

インジェクションロックレンジが広いほど
PLLのループ帯域が広くなりジッタ低減効果が高くなる。

3. 回路構成

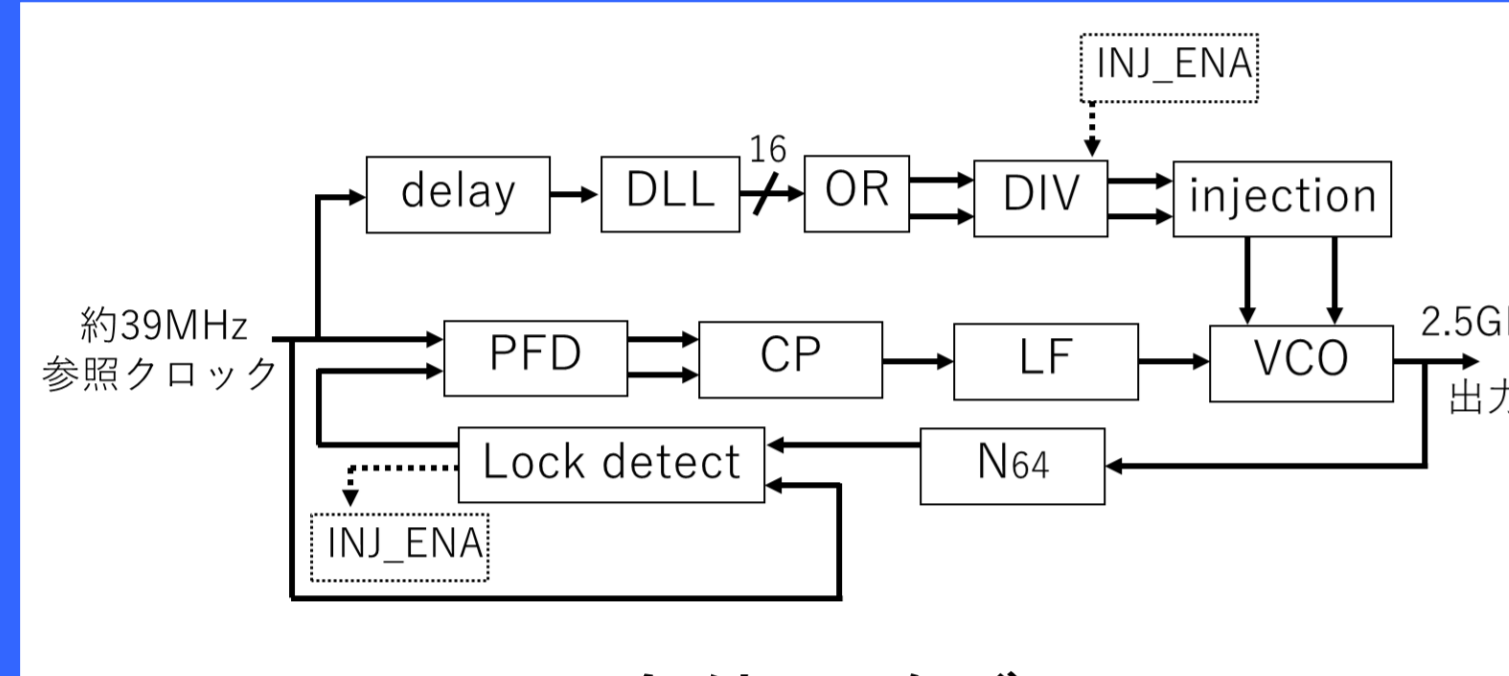


図2 全体回路ブロック

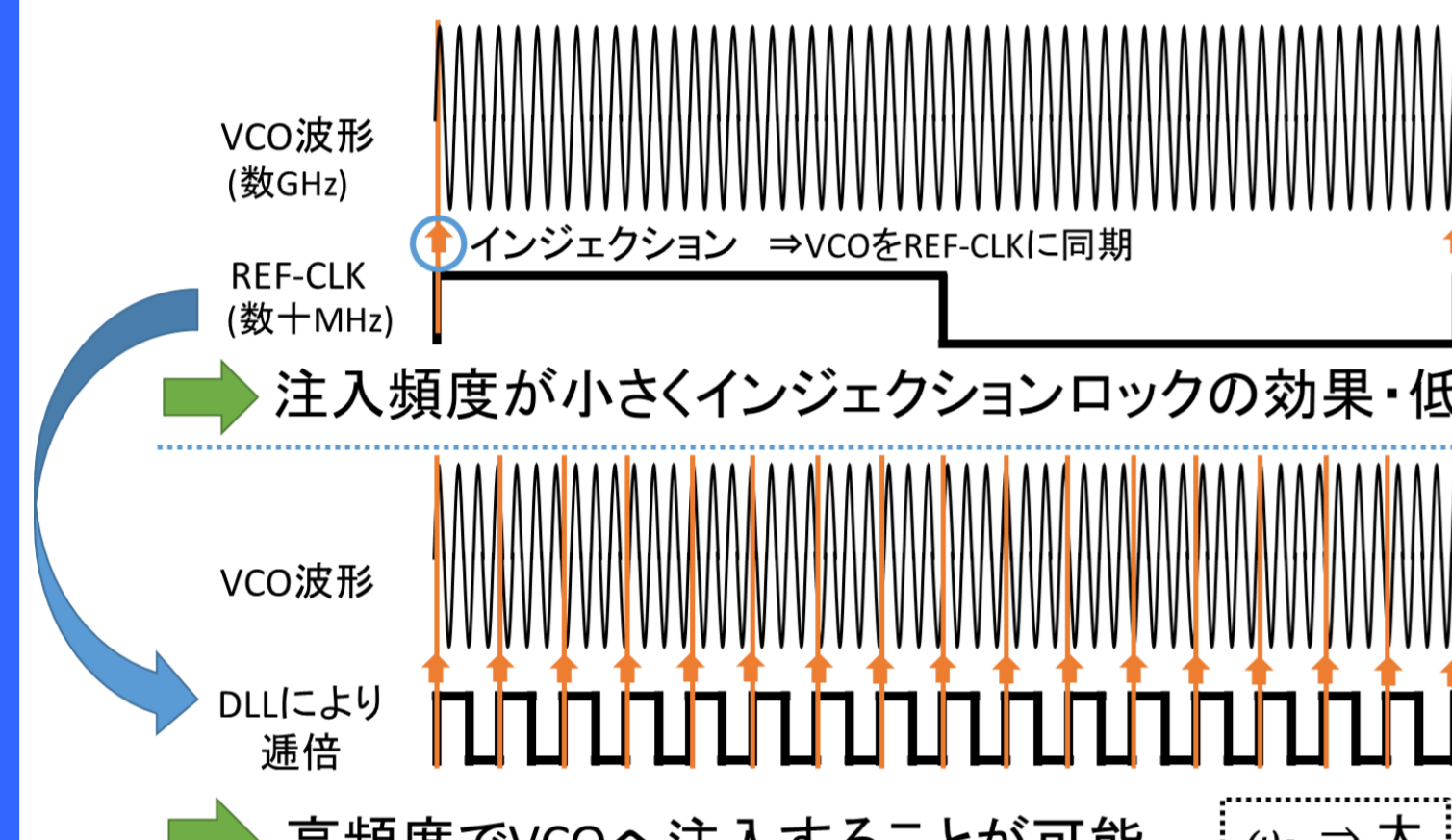


図3 設計回路の狙い

- [インジェクション経路の動作]
- delayにより注入タイミング調節
- DLL+OR回路により参照クロックを16逡倍
- 分周器DIVにより注入頻度可変
発振周期に対して4,8,16サイクル毎
- 注入回路(injection)によりクロックからパルスを生成
パルスの強度可変

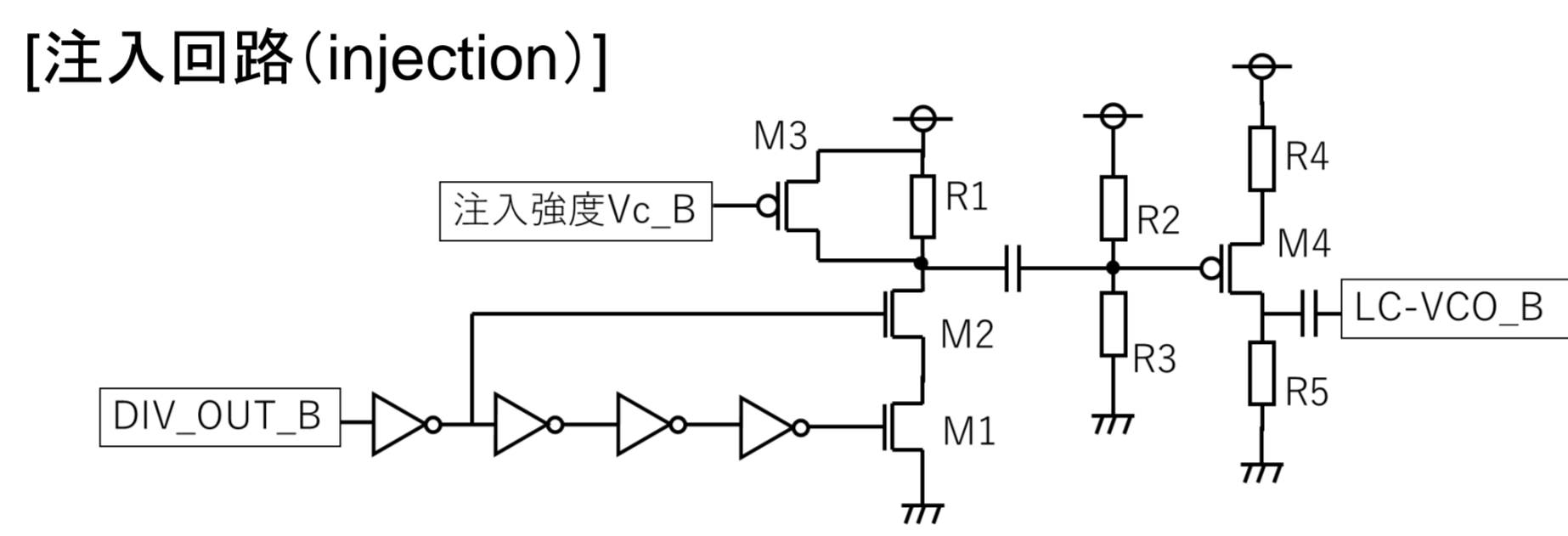


図4 PMOS電流注入型注入回路

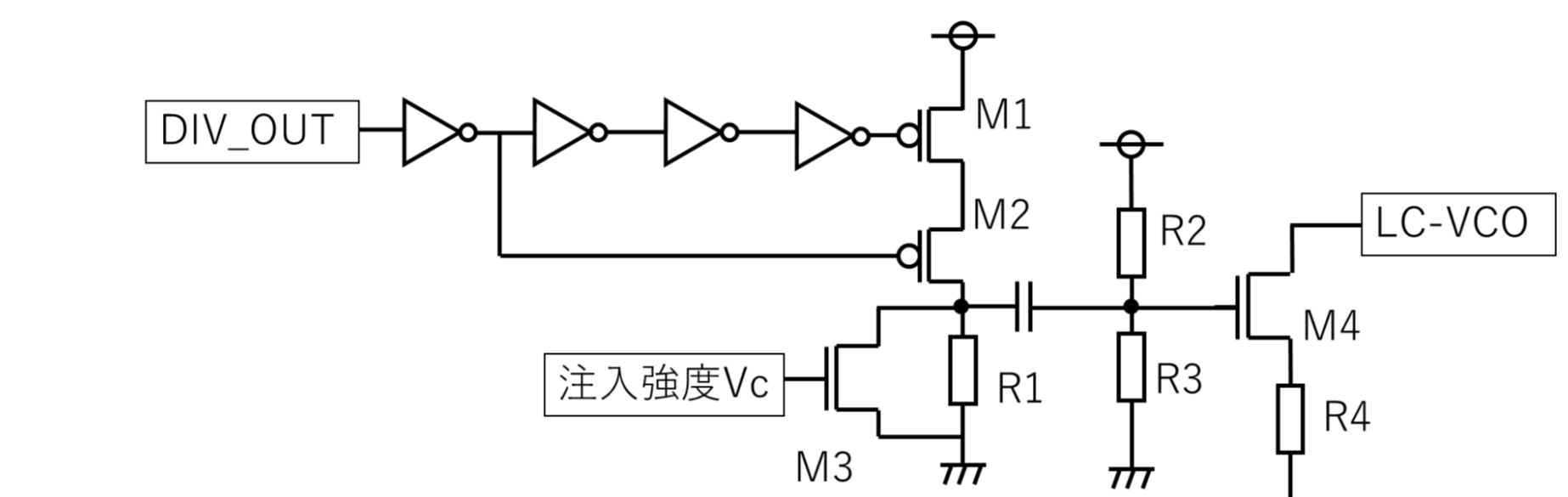


図5 NMOS電流引抜型注入回路

クロックからパルスを生成^{[3][4]}
注入するパルス振幅を外部のVcにより調整
⇒注入強度を変化

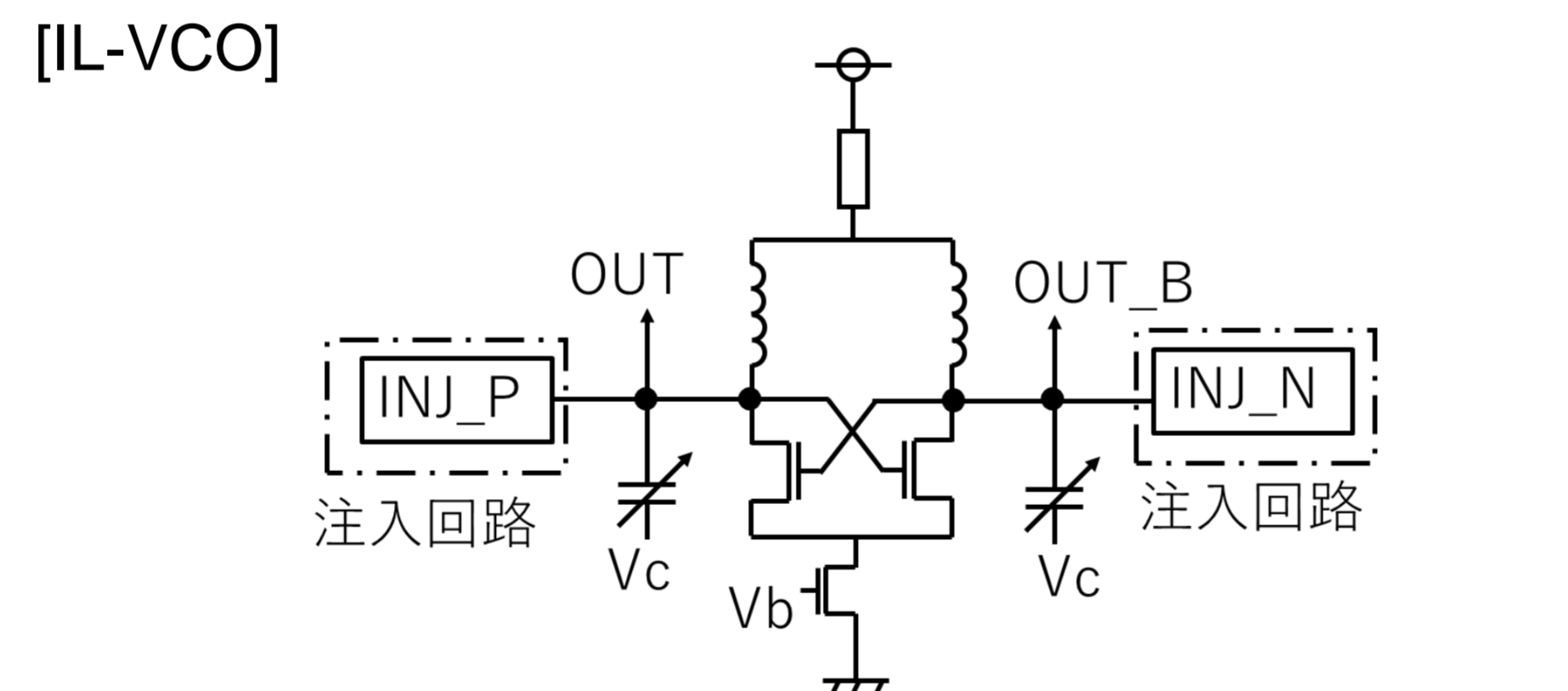


図6 LC-tank-IL-VCO

差動VCOから対称的に
電流を注入または電流を引き抜く

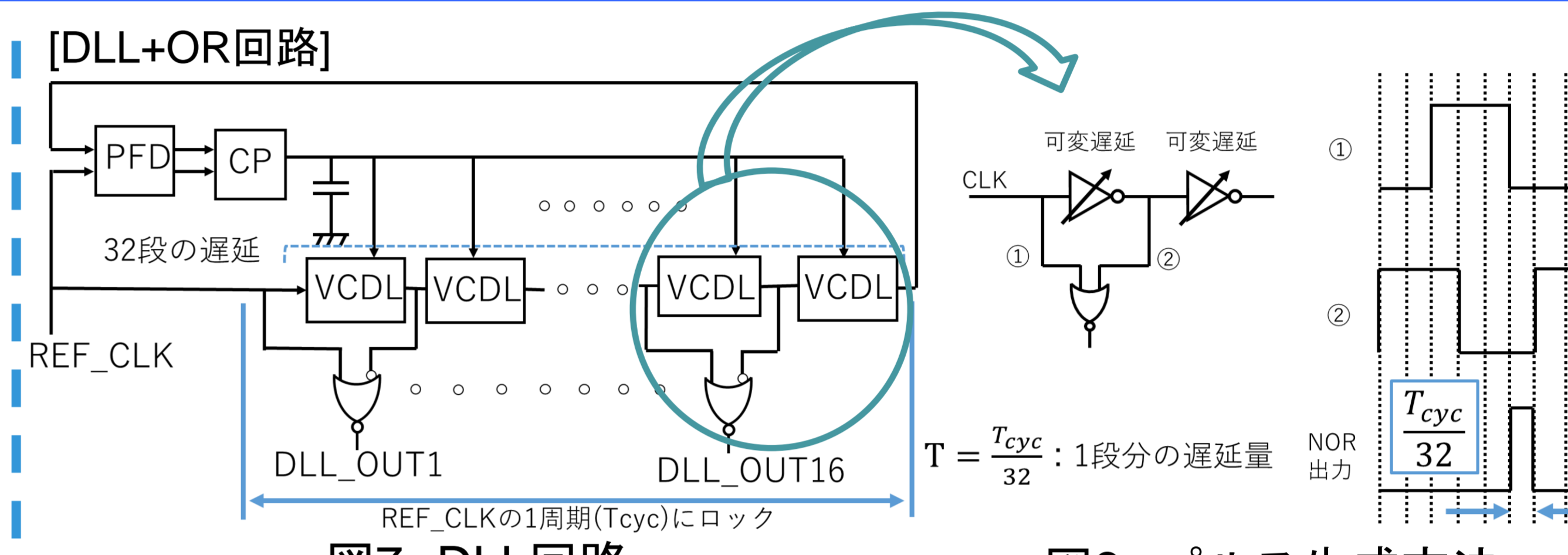


図7 DLL回路

DLLのREF_CLKとFB_CLKは1周期分ずれてロック

⇒1段分のVCDLの入出力でNOR回路

パルスを生成

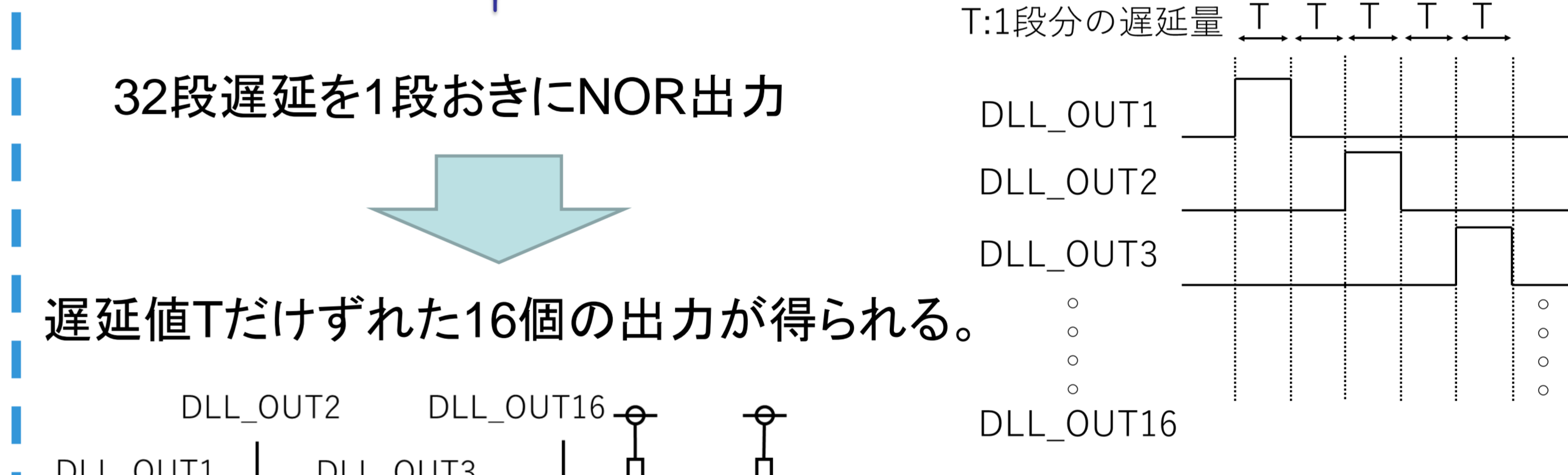


図9 16個のDLL出力

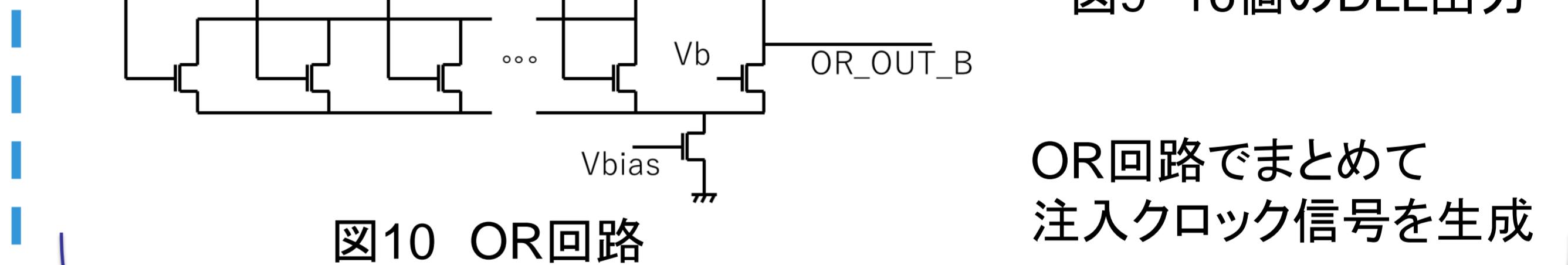


図10 OR回路

分周器DIVに入力
サブハーモニックインジェクションの頻度を
4サイクル毎、8サイクル毎、16サイクル毎に可変

4. LC-tank IL-PLLの実測結果

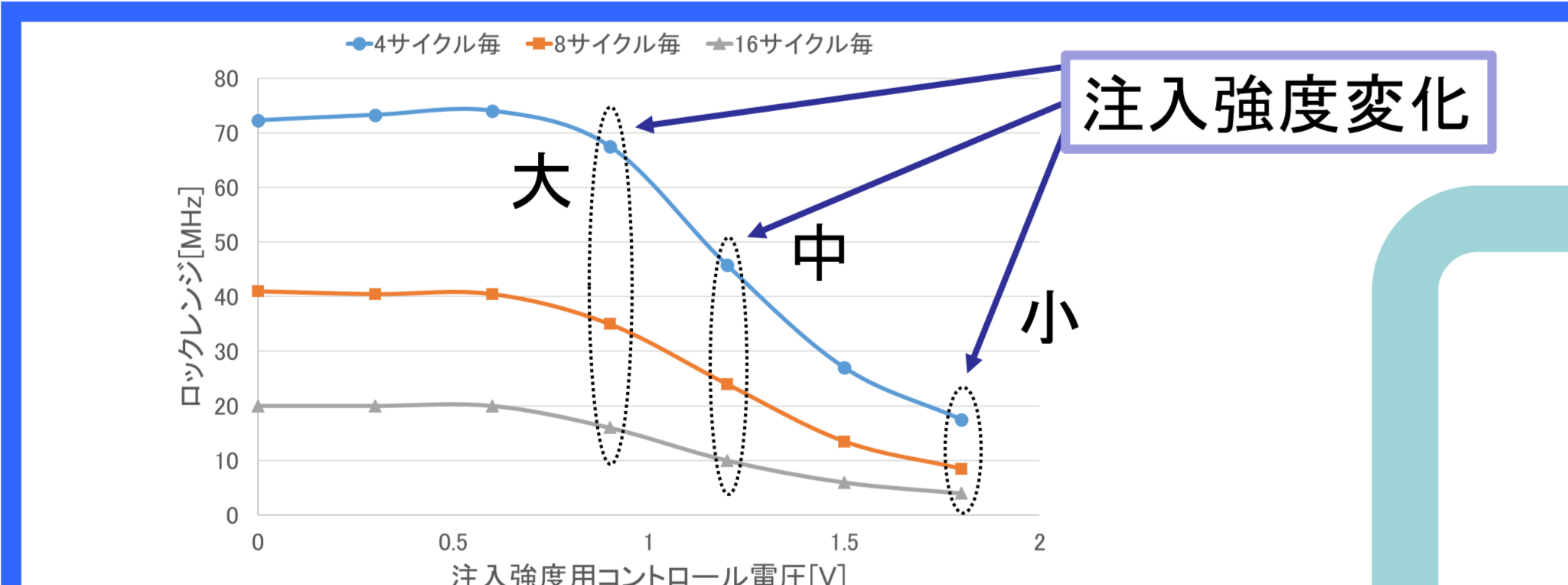


図11 注入強度・頻度変化時のロックレンジ

注入頻度が高いほどロックレンジ大
注入強度が強いほどロックレンジ大

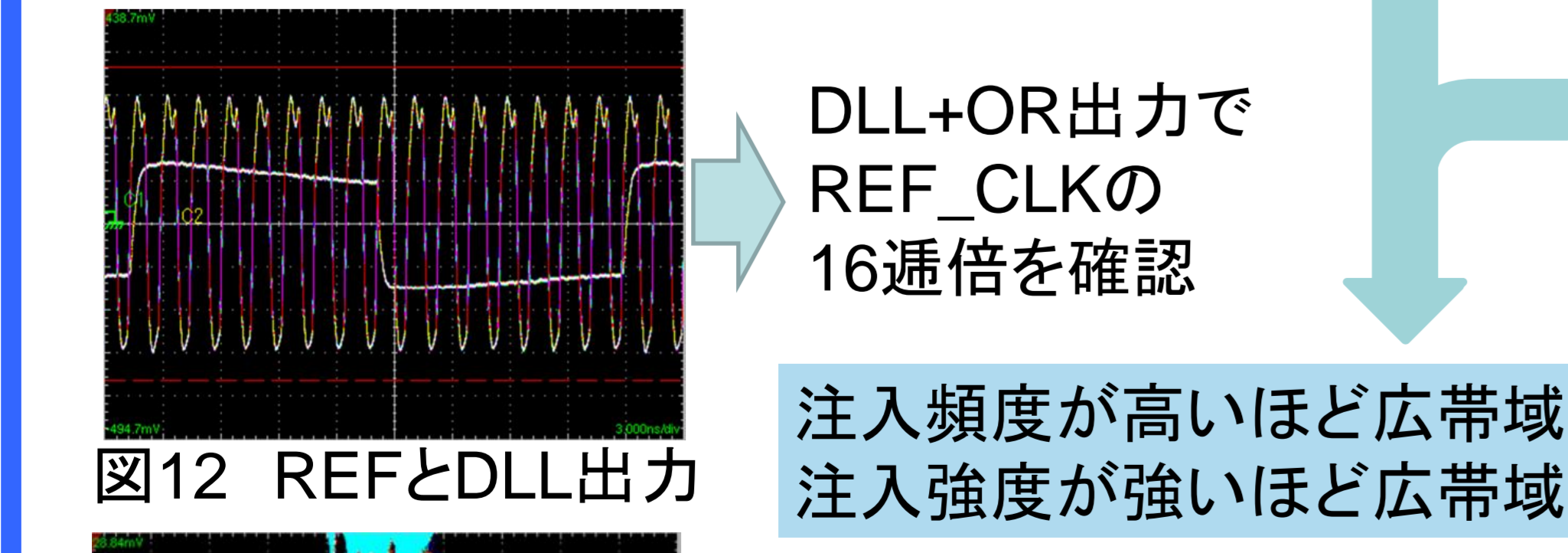


図12 REFとDLL出力

DLL+OR出力でREF_CLKの16逡倍を確認

注入頻度が高いほど広帯域
注入強度が強いほど広帯域

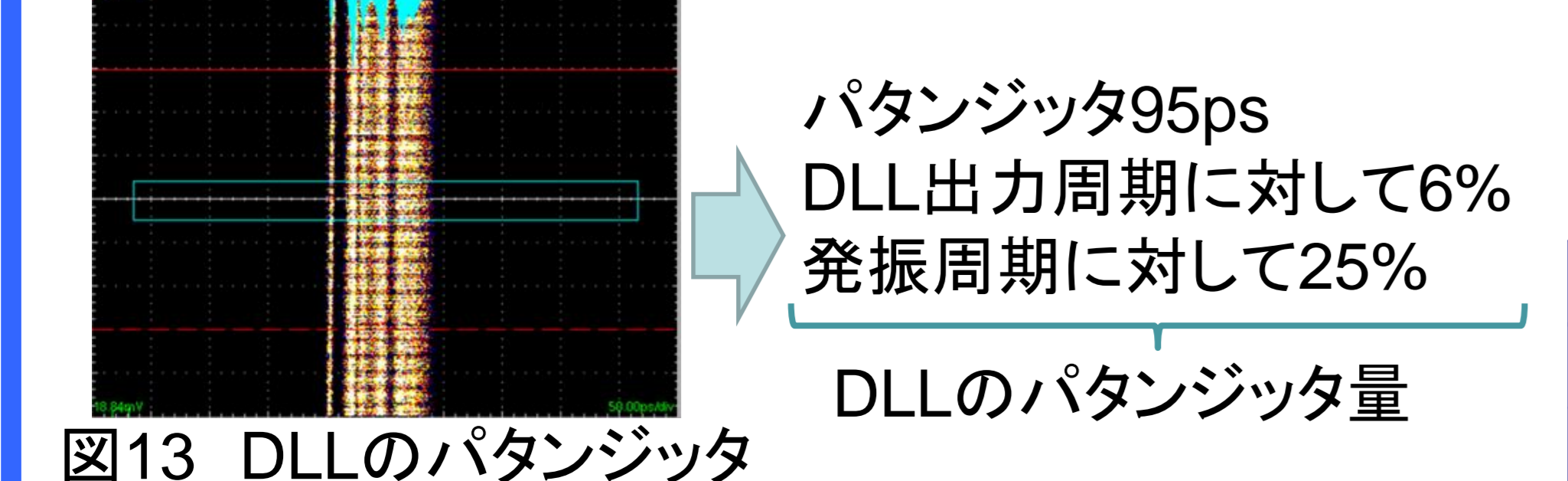


図13 DLLのパターンジッタ

パターンジッタ95ps
DLL出力周期に対して6%
発振周期に対して25%

DLLのパターンジッタ量

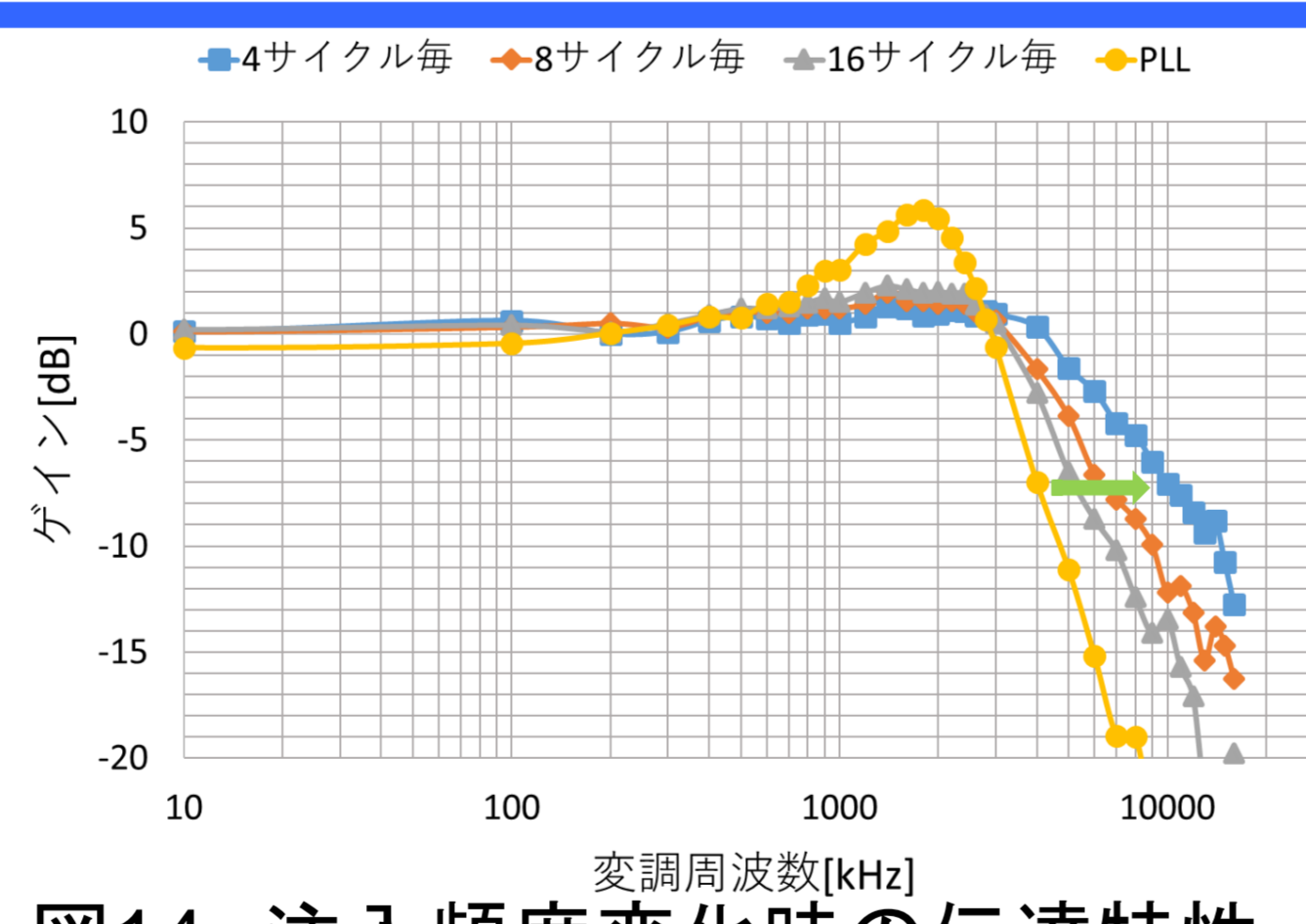


図14 注入頻度変化時の伝達特性

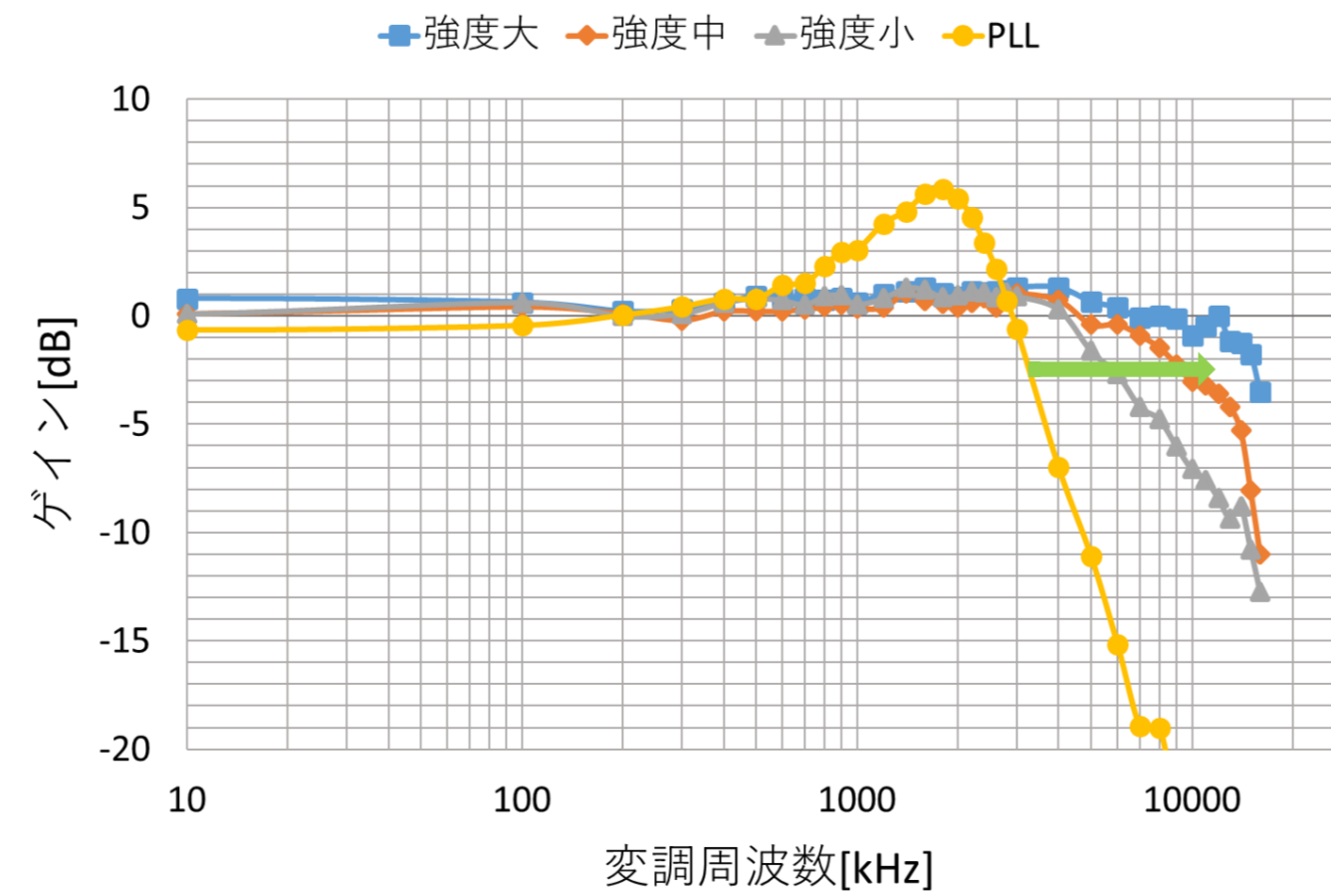


図15 注入強度変化時の伝達特性

表1 PLLとIL-PLLのジッタ性能

	pk-pk jitter [ps]	rms jitter [ps]
PLL	24.4	2.752
IL-PLL	15.2	2.133

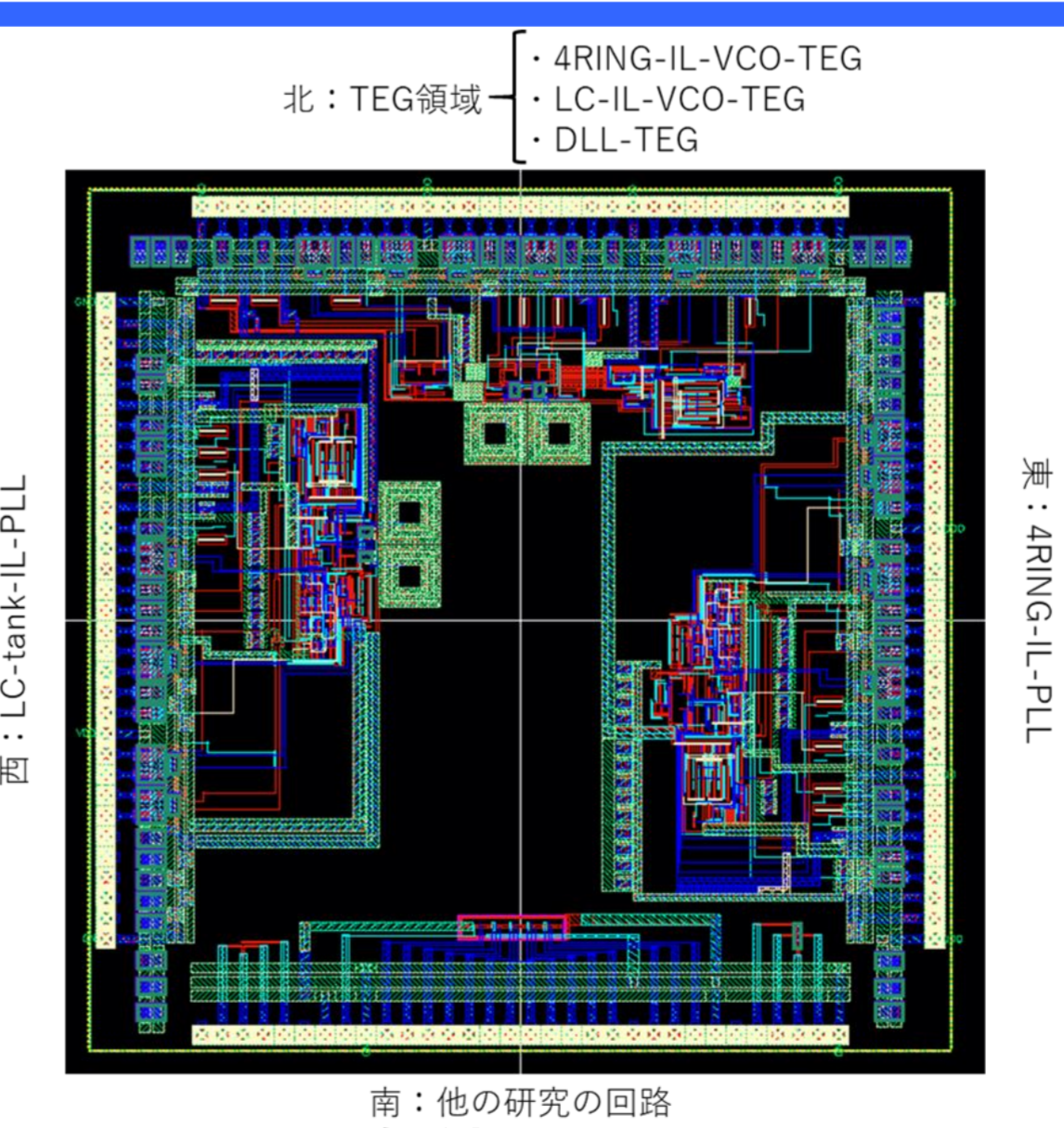


図16 全体レイアウト図

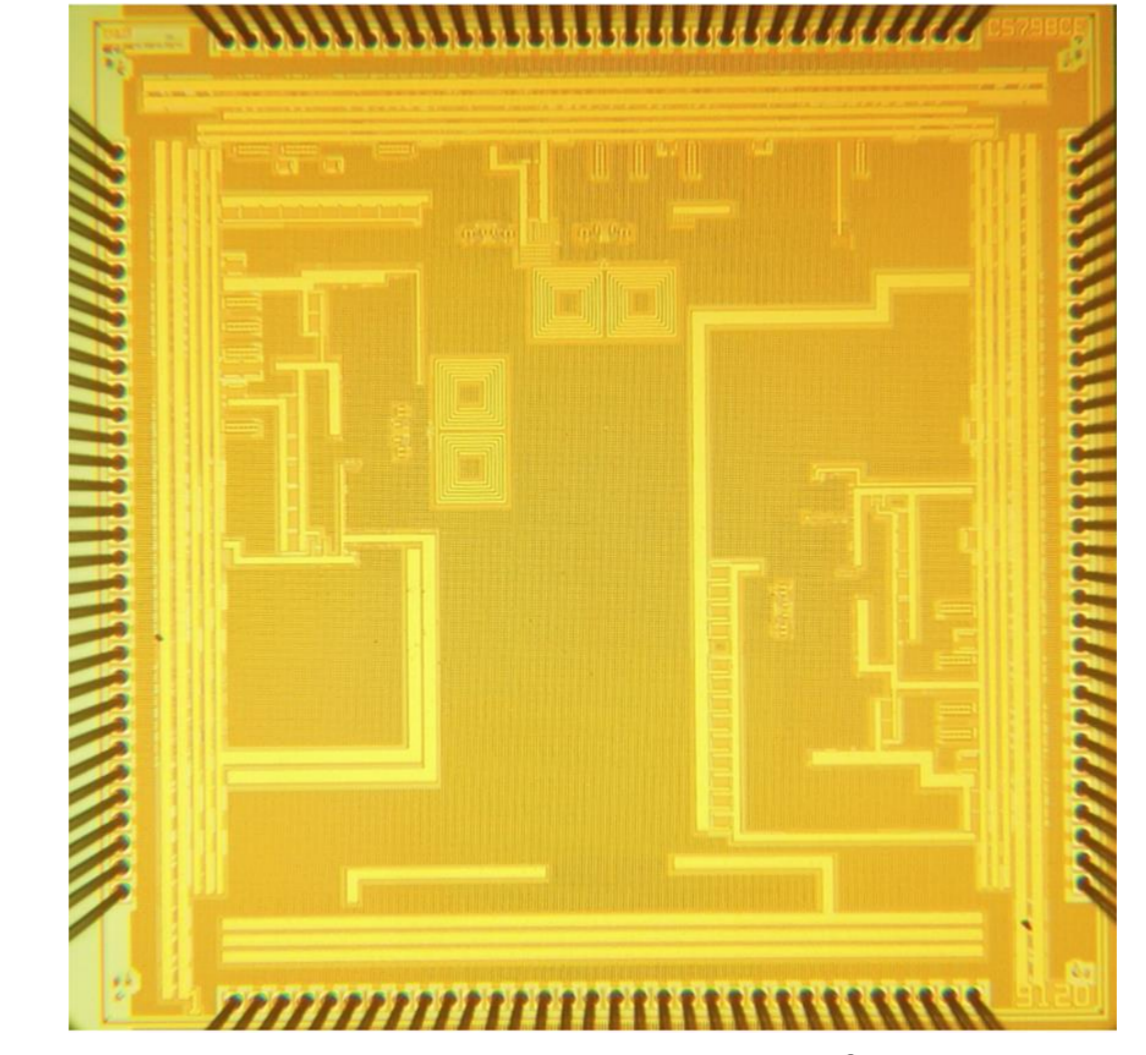


図17 実際のチップ写真

5. まとめ

高逡倍インジェクションロックPLLで問題となる注入頻度をDLLを用いて高周波化
⇒PLLを広帯域・低ジッタ化へ

・インジェクションロックVCOの測定
注入強度・大 ⇒ ロックレンジ・大
注入頻度・大 ⇒ ロックレンジ・大

・DLLのパターンジッタ(生成パルスばらつき)
約95psのパターンジッタを確認
⇒DLL出力周期に対して6%のばらつき
⇒発振周期に対して25%のばらつき

・インジェクションロックPLLの伝達特性
PLLよりIL-PLLで
帯域が最大で約5倍増加

注入強度・大 ⇒ 広帯域
注入頻度・大 ⇒ 広帯域

・インジェクションロックPLLのジッタ性能
PLLと比べてIL-PLLでは
pk-pk jitter : 9.2ps削減(約38%減)
rms jitter : 0.619ps削減(約23%減)

提案のIL-PLLにより
広帯域化・低ジッタ化を確認

[1]B. Razavi, "A study of injection locking and pulling in oscillators," IEEE J. Solid-State Circuits, vol. 39, no. 9, pp. 1415-1424, September 2004.
[2]H.-Y. Chang, Y.-L. Yeh, Y.-C. Liu, M.-H. Li, and K. Chen, "A Low Jitter Low-Phase-Noise 10-GHz Sub-Harmonically Injection-Locked PLL With Self-Aligned DLL in 65-nm CMOS Technology," IEEE Trans. Microw. Theory Techn., vol. 62, no. 3, pp. 543-555, March 2014.

[3]J. Lee, and H. Wang, "Study of subharmonically injection-locked PLLs," IEEE J. Solid-State Circuits, vol. 44, no. 5, pp. 1539-1553, May 2009.
[4]S. Morishita, S. Shimizu, T. Kihara, and T. Yoshimura, "Subharmonically Injection-Locked PLL with Variable Pulse-Width Injections," in Proc. IEEE Int. Symp. Circuits and Systems (ISCAS), 2015, pp. 557-560.